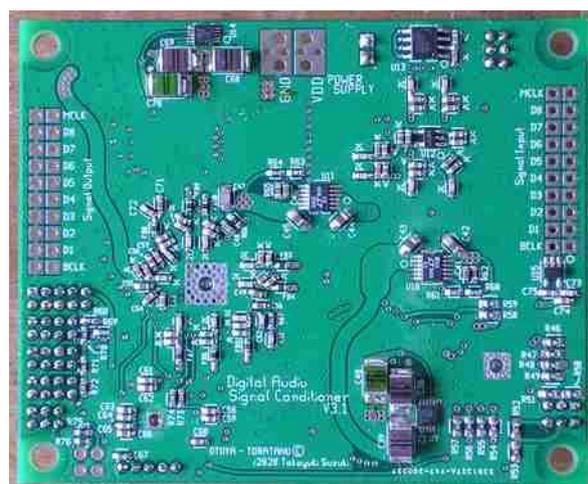


Digital Audio Signal Conditioner by HMC7044

Version 3

For Jitter Free Sound



本基板の使用により、どのような環境においても、必ず音質の向上が得られるという保証はございません。その点をご理解の上でご利用下さい。

本文書には、初歩的な事も含めて、基板の使い方と仕様について記述しております。電子工作のベテランの方も、安全にそして性能を十分に引き出していただくために、ご一読をお願いします。

ご使用中に、発煙・発火・異音などの異変がありましたら、直ちに電源をお切りいただきますようお願いいたします。
また、感電や火傷など電子工作で発生しがちな怪我をしたり、火災などを起こさないよう、十分に安全に配慮をした上で作業をお願いします。

© 2021. 音屋 とらため. All rights reserved.

Digital Audio Signal Conditioner by HMC7044

Version 3

For *Jitter Free Sound*

世界最高のジッタークリーナー性能を誇る、アナログデバイス社の HMC7044 を使用した、オーディオ信号 (PCM/DSD) 用のジッタークリーナー基板です。

[変更点]

Version 2.0 の販売開始から 2 年。究極のジッタークリーナーを製作するために、これまでに得た知見を全て投入しました。LMK04805B を使用した V2.0 基板からの変更点は次の通りです。

- ① 世界最高の位相ノイズ性能 (2018年10月現在で音屋とらため調べ) を誇るジッタークリーナー & クロックシンセサイザ IC であるアナログデバイス社の HMC7044 を採用しました。型番の下二桁の "44" は、12kHz~20MHz の RMS ジッターの値が、44fs (フェムト秒: 10 のマイナス 15 乗秒) であることにちなんでいるようです。
- ② 6 層基板を採用しました。LMK シリーズや HMC7044 のメーカー製評価ボードは 6 層基板です。これによりスイッチングノイズを発生させるレイヤーとノイズの影響を最小限に留めたいレイヤーをグラウンドレイヤーで分離することが可能になり、さらなる音質改善効果と高い放熱性能を達成しました。
- ③ 本基板の重要なデバイスである VCXO と HMC7044 の IC 内にある VCO の電源には、超低ノイズ・リニアレギュレーター LT3042 を 2 個並列で使用し、さらにバイパスコンデンサに ECHU/ECPU/PMLCAP という高性能フィルムコンデンサを使用して強化しました。LT3042 のノイズレベルは $0.8\mu\text{Vrms}$ (10Hz~100kHz) $\cdot 2\text{nV}/\sqrt{\text{Hz}}$ (10kHz) という高性能ですが、2 個並列で使用することにより、ノイズをさらに小さく ($1/\sqrt{2}$ 倍) して VCXO と VCO を駆動しています。それ以外の部分でも、ノイズ性能が同等の LT3045 を採用することによって、CPLD のコア電源 1.8V を除いた全てのデバイスを、超高品位電源で駆動しています。
- ④ HMC7044 の PLL がロックした時点でクリーンな出力信号への切り替えを行います。切り替え前後の信号の位相を正確に合わせました。これによって切り替え時に発生していたプチノイズの問題が解消されています。(音屋とらためのテスト環境にて確認)
- ⑤ PCM/DSD の信号を受け取る IC には CPLD を使っています。FPGA や CPLD といった論理回路を自由に構成できる IC は、厳しい位相ノイズ特性を要求される場所で使用することは望ましくありませんが、最終的に DAC に信号を送り出す部分にはシンプルなロジック IC である 74LVC157A/74ALVC574 を採用しています。HMC7044 の PLL がロックした後は、HMC7044 が生成する BCLK を D 型フリップフロップ (74ALVC574) のクロックとして使用し、LRCLK と SDATA (PCM の場合)、DATA (DSD の場合) をリクロックしています。超低ジッターの BCLK と MCLK と共に高品位なデジタルオーディオ信号を生成し DAC に出力しています。
- ⑥ 2 チャンネル対応だった V2.0 までと異なり、ES9038PRO のようなマルチチャンネル DAC に対応できるように、8 チャンネルのデータの入出力に対応します。BCLK と MCLK を加えて 10 個の信号入出力端子があります。
- ⑦ 入力された BCLK をリファレンスとして、Si5317 で一旦ジッターを低減させてから HMC7044 で更にジッターを極限まで低減させる構成に変更はありませんが、Si5317 から HMC7044 への信号伝送に差動信号 (LVPECL) を採用しました。また、VCXO にも差動信号出力の超低位相ノイズのものを採用し、この 2 つの部分に関しては、LVCMOS による信号伝送で発生していたスイッチングノイズの悪影響が完全に無くなりました。
- ⑧ ES9038PRO の同期モードに完全に対応するため、BCLK から 2 倍の周波数の MCLK を生成する逡倍回路を基板上に実装しました。V2.0 の時のように別基板を必要としません。

[V3.0 基板からの変更点]

- ① V3.0 基板における裏面の不具合を修正して V3.1 基板としました。このため基板裏面の配線は無くなりました。更に音質を改善するために入力端子側に IC を 1 つ追加しました。
- ② HMC7044 の PLL がロックする条件を最適化するようにファームウェアを改造し、音質の改善を実現しました。この変更により、HMC7044 の PLL がロックするまでの時間が V3.0 までより長くかかるようになっています。

これらの変更を行った結果、音屋とらためのテスト環境において、Version2.0 よりも更に大きな音質改善効果を確認しました。

本基板では最高のコストパフォーマンスをご提供できると自負しています。

[概略]

HMC7044 は 2 つの PLL を持っています。そのジッタークリーナーとしての性能を最大限に引き出すためには、1 つ目の PLL は帯域幅を極力狭くする必要があります。この基板では 30Hz になるように設計しています。しかし、帯域幅が狭いとジッターの多い信号が入力された場合に、PLL がロックしない可能性があります。それを回避するために、まずシリコンラボラトリー社の Si5317 でリファレンス信号のジッターを低減させます。Si5317 の PLL の帯域幅はジャンパーで 5 段階に設定できますので、ご使用されている機材に合わせて設定することが可能です。

Si5317 と HMC7044 の計 3 つの PLL がロックするまでの間は、入力された信号をそのまま出力するので、PLL ロック動作中の無音・雑音を回避することが出来ます。PLL がロックした時点でクリーンな信号に切り替わりますが、切り替え時のプチノイズもありません。

HMC7044 が持つクロックシンセサイザー機能により、リファレンス信号（ビットクロック）からマスタークロックとビットクロックを生成し、ビットクロックの位相調整を行っています。また、低ジッターのビットクロックをトリガーとして、D-FF により LR クロックとデータをリクロックすることにより、全ての PCM オーディオクロック信号のジッターを極限まで低減することが出来ます。リクロックする信号数は 8 個まで対応しており、ES9038PRO のようなマルチチャンネル DAC の全ての信号を扱うことが出来ます。

与えられたビットクロックとマスタークロックは、ジッタークリーナー IC のリファレンスとして使用することと、PLL のロックと位相調整が終了するまでの間に出力するためだけに使用しており、低ジッターの信号に切り替わってからのマスタークロックの周波数はをジャンパーで設定していただきます。

重要な部分には ECPU、ECHU、PMLCAP といった高品位フィルムコンデンサを使用しています。HMC7044 が必要とする VCXO には、高品位の低位相雑音で差動信号出力のものを選択し、2 つの PLL フィルターには誘電吸収特性の良好な C0G 特性のセラミックコンデンサと ECHU を使っており、HMC7044 の性能を最大限に引き出せるように配慮しています。

ジッタークリーニング後のクロック信号のジッターの値は、ジッターを定量的に測定する装置を所有していないため、測定できません。ご参考までに、HMC7044 のデータシートから転載しておきます。

出力周波数 2457.6MHz での値

RMS ジッター : 44fs (12kHz~20MHz)

ノイズフロア : -156dBc/Hz

出力周波数 983.4MHz での値

位相ノイズ : -141.7dB/Hz (800kHz)

[仕様]

基板

85mm × 70mm 1.6t FR-4
 放熱器を含めた高さ 約17mm
 銅箔 35 μ m 6層基板
 グリーンレジスト
 表面処理：半田レベラー（有鉛）

入出力信号

PCM

BCLK（ビットクロック/ワードクロック）が 64fs（サンプリング周波数の64倍） に対応しています。

2.8224MHz 5.6448MHz 11.2896MHz 22.5792MHz 45.1584MHz
 3.072MHz 6.144MHz 12.288MHz 24.576MHz 49.152MHz

DSD

DSD64（クロック 2.8224MHz） DSD128（クロック 5.6448MHz）
 DSD256（クロック 11.2896MHz） DSD512（クロック 22.5792MHz）
 DSD256（クロック 45.1584MHz）

注意事項）DSD1024（クロック 45.1584MHz）について、正常動作を確認しました。
 3.072MHz系のDSD信号のテストは行っておりませんが、問題なく使えるものと考えております。

MCLK（マスタークロック/システムクロック）対応

| サンプリング周波数 | 32fs | 64fs | 128fs | 256fs | 512fs | 1024fs | 2048fs |
|-----------------------------|------|------|-------|-------|-------|--------|--------|
| 44.1kHz / 48kHz / DSD64 | × | × | ○ | ○ | ○ | ○ | ○ |
| 88.2kHz / 96kHz / DSD128 | × | × | ○ | ○ | ○ | ○ | × |
| 176.4kHz / 192kHz / DSD256 | × | ○ | ○ | ○ | ○ | × | × |
| 352.8kHz / 384kHz / DSD512 | ○ | ○ | ○ | ○ | × | × | × |
| 705.6kHz / 768kHz / DSD1024 | ○ | ○ | ○ | × | × | × | × |

信号レベル：

入力：CPLD（XC2C64A-7VQG100C）

LVC MOS L 0V以上 ~ 0.8V以下

H 2V以上 ~ 3.3V以下

出力：ロジックIC（74LVC157/74ALVC574）

LVC MOS L 0.5V以下（負荷によって変化します）

H 2.2V以上（負荷によって変化します）

* 詳細は、各ICのデータシートを参照して下さい。

[使用方法]

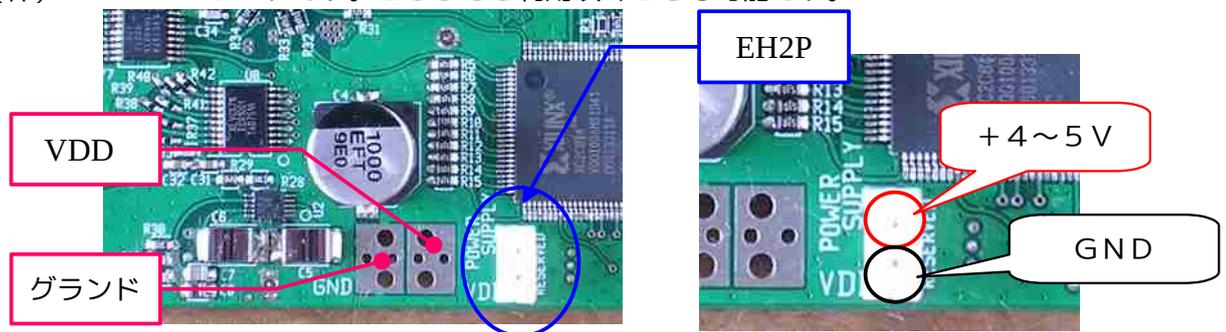
電源：

本基板で使用している電源レギュレーターはLT3042とLT3045で、3.3Vの電圧を生成しています。例外として、CPLDコアの電源にはADP150を使用しており、LT3045が生成する3.3Vから1.8Vを生成しています。LT3042/3045は、入出力の電圧差が0.5Vあれば十分ですので、VDDに与える電圧は4~5Vとして下さい。更に高い電圧で使用しても、直ちに故障することはないと思いますが、電源レギュレーターICの入出力電位差が大きくなるほど発熱量が増えますので、出来るだけ守って下さい。また、ノイズの少ない良質な電源から電力を供給すると、音質に良い影響があります。

本基板では、HMC7044が約500mA、Si5317が約200mAの電流を必要とするため、他のICを含めると750mAの電流が必要です。電源トランスには、2次側で1.3A以上の電流が取り出せるものを選択して下さい。余裕を持って1.5~2A程度あれば十分です。

ちなみに、ダイオードをブリッジで組んで整流した場合、負荷側で利用可能な直流電流値は、電源トランスの2次側交流電流値の6~7割程度です。

※部品実装後の出荷前テストで使うために電源端子を実装しています。日本圧着端子製造(株)のEH2Pのポストです。こちらをご利用頂くことも可能です。



電源端子

放熱：

Version3基板では6層基板を採用したことにより、更に放熱効果が高くなりました。装着している放熱器の性能と合わせて、十分な放熱性能がありますので、特に注意事項はありません。

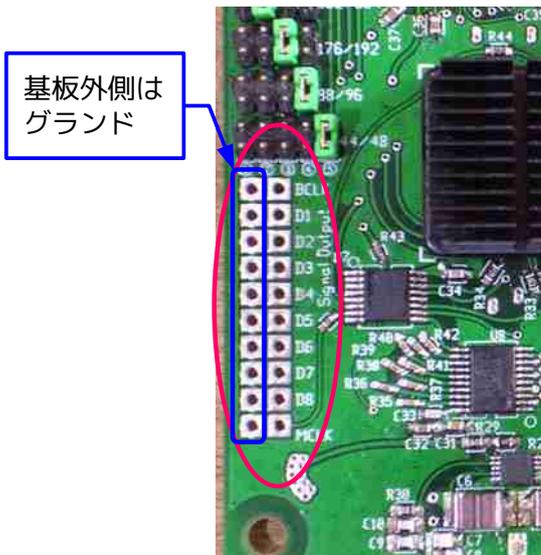
入出力端子：

電源端子は2.54mmピッチ・1.0Φ穴と、3.96mmピッチ・1.6Φの穴のパッドになっています。プリント基板用の端子台をご利用いただけます。端子台1つがセットに含まれています。また、信号の入出力端子は、それぞれ2.54ピッチ・1.0Φ穴の2×10ピンとなっております。ヘッダーピンなどをご利用いただけます。ヘッダーピン(2×10ピン：2個、2×2ピン：1個)がセットに含まれます。

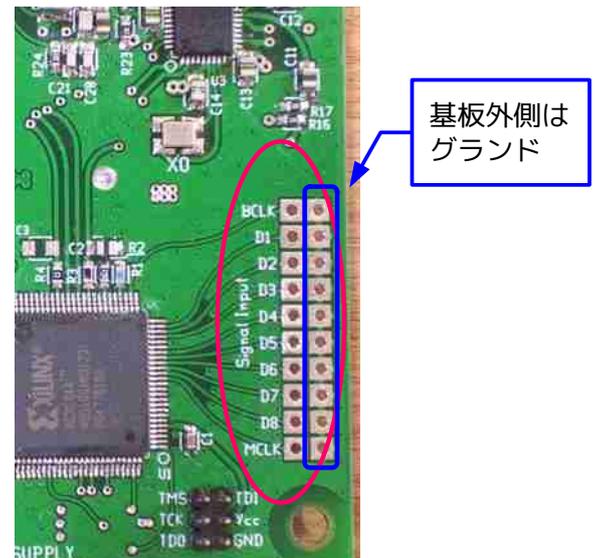
| 出力側 | | | 入力側 | | | |
|-------|----------|------|-----|------|----------|-------|
| 基板外側 | 基板内側 | 表示名 | | 表示名 | 基板内側 | 基板外側 |
| グラウンド | ビットクロック | BCLK | ← | BCLK | ビットクロック | グラウンド |
| グラウンド | データ1 | D1 | ← | D1 | データ1 | グラウンド |
| グラウンド | データ2 | D2 | ← | D2 | データ2 | グラウンド |
| グラウンド | データ3 | D3 | ← | D3 | データ3 | グラウンド |
| グラウンド | データ4 | D4 | ← | D4 | データ4 | グラウンド |
| グラウンド | データ5 | D5 | ← | D5 | データ5 | グラウンド |
| グラウンド | データ6 | D6 | ← | D6 | データ6 | グラウンド |
| グラウンド | データ7 | D7 | ← | D7 | データ7 | グラウンド |
| グラウンド | データ8 | D8 | ← | D8 | データ8 | グラウンド |
| グラウンド | マスタークロック | MCLK | ← | MCLK | マスタークロック | グラウンド |

※ BCLKは64fsのビットクロック

D1~D8には、PCMではLRCLKと各チャンネルのデータ信号を、DSDでは各チャンネルのデータ信号を接続して下さい。



出力端子



入力端子

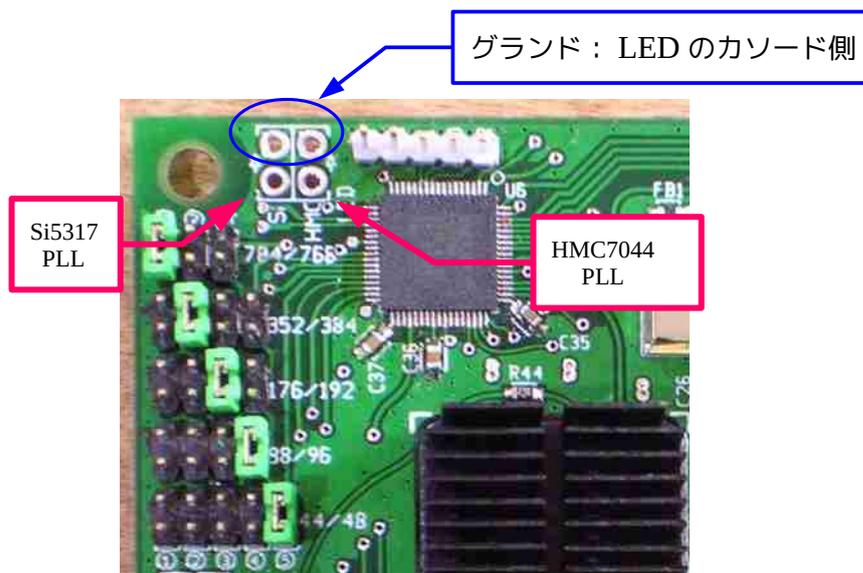
状態の表示：

電源を入れると、入力されたリファレンス信号に対して Si5317 の PLL がロックした時点で、1つ目の LED (Si5317 の表示) が点灯した状態になります。その後、少し間をおいてもう一つの LED (HMC7044 の表示) が点滅を開始します。点滅している間は HMC7044 の PLL はロックしていて内部設定を最適化しています。しばらくして完全に点灯した時に、HMC7044 の 2つの PLL のロックと内部設定の最適化、そして位相調整が終わり、出力信号はジッタークリーナーを経由したクリーンな信号に切り替わります。このジッタークリーナー基板の前後の装置によっては、切り替わる瞬間にノイズが発生することがありますが、そのノイズが長く続くことはありません。

Si5317 の LED が点灯してから HMC7044 の LED が点灯するまでに 30 秒から 1 分程度かかります。サンプリング周波数が高いほど時間がかかる傾向があります。また、通電直後も時間がかかる傾向があります。

LED は実装しておりませんので、本基板もしくはケースなどに取り付けて下さい。緑色の LED 2つがセットに含まれます。

基板外側の端子がグランドですので、LED のカソードになります。基板内側がアノードです。



状態表示の LED 端子

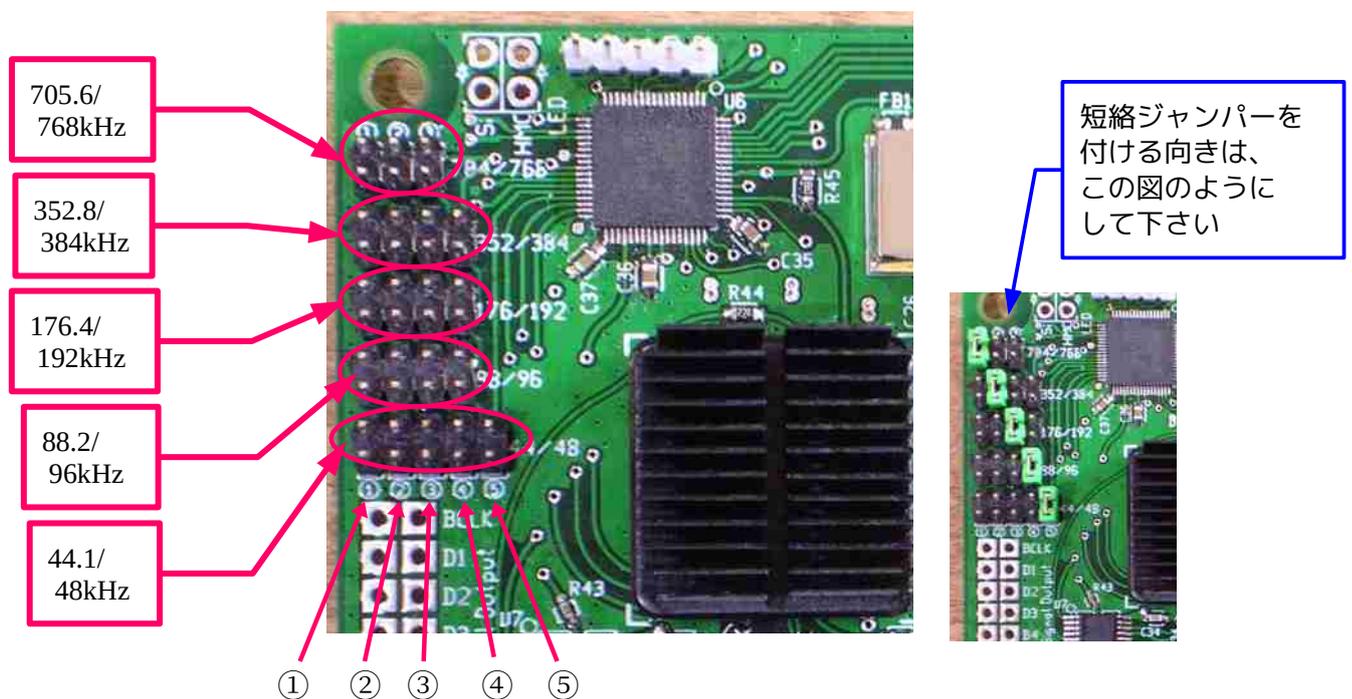
ジャンパーの設定：

【マスタークロックの周波数】

黄色のセルはPCMの場合のサンプリング周波数（単位kHz）です。DSDの場合は、64倍して下さい。オレンジのセルは出力されるマスタークロックの周波数（単位MHz）です。

| ジャンパー | ① | ② | ③ | ④ | ⑤ |
|-----------------------------|---------------------------------|---------------------------------|--------------------------------|--------------------------------|------------------------------|
| 44.1 / 48 / DSD64 | 90.3168 / 98.304 (2048fs) | 45.1584 / 49.152 (1024fs) | 22.5792 / 24.576 (512fs) | 11.2896 / 12.288 (256fs) | 5.6448 / 6.144 (128fs) |
| 88.2 / 96 / DSD128 | 90.3168 / 98.304 (1024fs) | 45.1584 / 49.152 (512fs) | 22.5792 / 24.576 (256fs) | 11.2896 / 12.288 (128fs) | 設定不可 |
| 176.4 / 192 / DSD256 | 90.3168 / 98.304 (512fs) | 45.1584 / 49.152 (256fs) | 22.5792 / 24.576 (128fs) | 11.2896 / 12.288 (64fs) | 設定不可 |
| 352.8 / 384 / DSD512 | 90.3168 / 98.304 (256fs) | 45.1584 / 49.152 (128fs) | 22.5792 / 24.576 (64fs) | 11.2896 / 12.288 (32fs) | 設定不可 |
| 705.6 / 768 / DSD1024 | 90.3168 / 98.304 (128fs) | 45.1584 / 49.152 (64fs) | 22.5792 / 24.576 (32fs) | 設定不可 | 設定不可 |

※ ①～⑤まで短絡ジャンパーでショートして設定します。



お使いになっている機材に合わせて設定を行って下さい。

この設定のピンは2.0mmピッチの小さいものとなっており、短絡ジャンパーもとても小さいので、見づらいようでしたら天眼鏡とピンセットを使ってセットして下さい。

この設定は電源を入れた時に読み込みますので、電源投入後に変更しても出力信号は変化しません。変更する場合は電源を切ってから行って下さい。

【ES9038PRO 同期モードの設定】



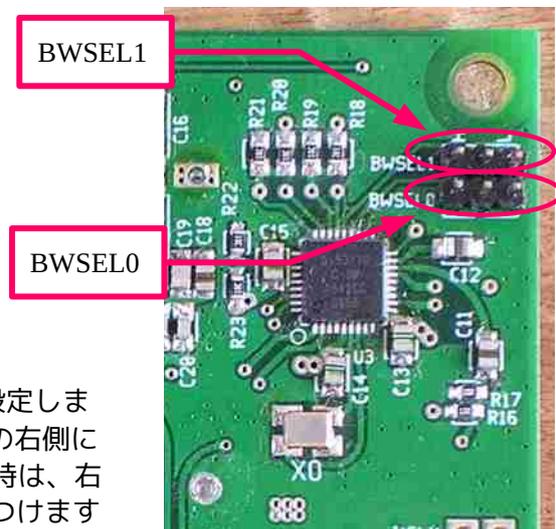
左図の設定は、44.1/48kHz : ⑤、88.2/96kHz : ④、176.4/192kHz : ③、352.8/384kHz : ②、705.6/768kHz : ①の設定で、ES9038PROの同期モード (MCLK=128fs) で使用する場合です。

この時、Si5317とHMC7044のPLLがロックするまでの間のマスタークロックは、入力端子：BCLKに与えるクロックの2倍の周波数のクロックになるように本基板内で生成されるため、入力端子：MCLKにはクロック信号を入力する必要がありません。

スイッチングノイズ低減の観点から、入力端子：MCLKは短絡ジャンパ〜グランドでグランドに接続して下さい。

【Si5317のPLLの帯域幅】

| BWSEL1 | BWSEL0 | 帯域幅 |
|--------|--------|--------|
| H | M | 100Hz |
| H | L | 200Hz |
| M | H | 400Hz |
| M | M | 1500Hz |
| M | L | 6000Hz |

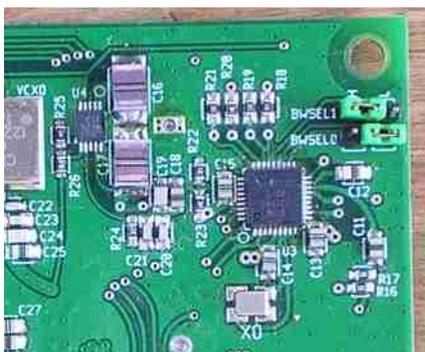


※ Mはジャンパーをつけずにオープンにして設定します。Lに設定する時は、右図のピンヘッダの右側に短絡ジャンパーをつけます。Hに設定する時は、右図のピンヘッダの左側に短絡ジャンパーをつけます

帯域幅の値は、おおよその値です。BCLKの周波数によって変化します。詳しくはSi5317のデータシートをご参照下さい。

Version1.Xと異なり、この設定はSi5317の入力端子に直接接続しています。稀に、ICは静電気で故障する場合がありますので、慎重に設定を変更して下さい。また、変更する場合は電源を切ってから行って下さい。

なお、ご使用の環境におきまして、本基板に与える信号のジッターが多いと思われる場合 (例：SPDIFからデコードした信号) は、可能な限り帯域幅を狭くしたほうが、Si5317の出力する信号のジッターが減少します。逆に、本基板に与える信号のジッターが少ないと思われる場合 (例：非同期のUSB DDCやSDトランスポートからの信号) は、帯域幅を最大にした方がSi5317の出力する信号のジッターが減少します。



(設定例)

左図の設定はBWSEL0がLでBWSEL1がHに設定されています。帯域幅はおおよそ200Hzです。

[未使用入力ピンの処理]

PCM および DSD で 2 チャンネルでの使用や、PCM 8 チャンネルでの使用の場合、D1～D8 の入力ピン 8 個の一部を使用します。2 チャンネルの場合は 8 入力のうちから 2 入力（PCM : LRCLK+SDATA ・ DSD : DSD_DATAR+DSD_DATA L）、PCM で 8 チャンネルの使用の場合は 5 入力（LRCLK+SDATA1～4）を使います。入力端子に関しては、使用しない端子をグランドに接続して下さい。具体的には、隣り合ったグランドピンと入力ピンに短絡ジャンパーを取り付けます。

下図は 2 チャンネルの場合の取り付け例です。



[ES9038PRO 同期モードの時]
MCLK 入力端子は接続しない



[マスタークロック入力有効時]
MCLK 入力端子に接続する

注意事項：未使用端子の短絡は入力端子だけ行って下さい。出力端子側の未使用ピンは開放（何も接続しない）として下さい。出力端子側を短絡させると、故障する場合があります。

[標準付属品]

標準の付属品として、下図のものがつきます。

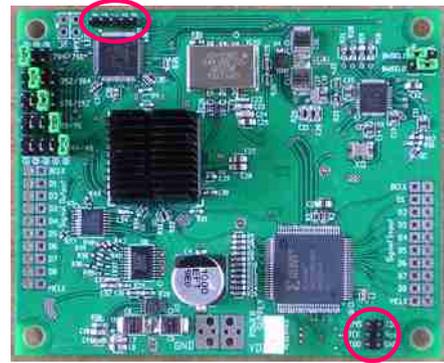
- ・ 端子台（2 P） 1 個
- ・ ピンヘッダ 2 × 10 P 2 個
- ・ ピンヘッダ 2 × 2 P 1 個
- ・ 2.54 ピッチの短絡ジャンパー（入力端子短絡用） 7 個
- ・ 2.0 ピッチの短絡ジャンパー マスタークロックの周波数設定用 5 個
- Si5317 の PLL 帯域幅設定用 2 個
- ・ LED（3 mm Φ） 2 個



2.0 ピッチの短絡ジャンパーは基板につけた状態で納品します。

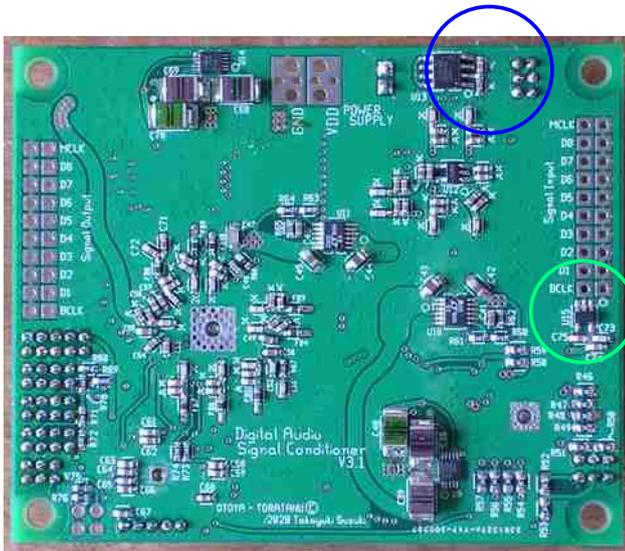
[プログラムインターフェース]

右図の赤丸の部分は、マイクロコントローラと CPLD へのプログラム書き込みを行う端子です。配線を行ったり短絡ジャンパーを付けたりしないで下さい。



[基板裏面]

V3.1 基板になって、V3.0 基板にあったレイアウト上の問題を解決しました。配線による修正は無くなりました。下図の青丸の部分です。また、新しく IC を追加しています。緑の丸の部分です。



[保証]

部品の実装に関しましては手作業で行っておりますので、全製品に対して、完成後に機能試験をして正常動作を確認してから発送しております。

このような製造体制でありますので、保証期間は商品到着後、2週間とさせていただきます。到着後、お早めに機能のご確認をお願いします。正しい使い方をされても正常に動作しない場合は、修理が可能であれば修理で、修理が不可能であればご返金で対応させていただきます。

ハンダ付けなど、お見苦しいところがあると思います。また、機能確認時にクリップなどでパッドを挟んでおりますので、多少の傷がありますが、どうぞご容赦願います。

正常動作を確認するまでは、こちらから発送に使用しました箱と緩衝材をとっておいて下さい。

* 動作不良の場合の取り扱いについて

申し訳ありませんが、まず購入者様のご負担で返送していただき、こちらで基板が不良品であることを確認した後で、修理可能であれば修理とテストが完了後に送らせていただきます。ご負担いただいた返送料を購入者様の口座に振り込ませていただきます。

修理不可能と判断した場合は、ご負担いただいた返送料・商品代金・送料を購入者様の口座に振り込ませていただきます。

こちらでは正常に動作する場合は、ご返金はできかねますので、ご了承下さい。また、着払いでご返送いただいても、受け取れませんのでよろしく願います。

[テスト環境]

本基板の機能試験で使用している機材です。

DDC : Amanero Combo384 (Windows 10, Daphile Linux)

DIYINHK DXIO 768 (Daphile Linux)

USB HiRes Audio F-20 (HQPlayer 4 Embedded - Network Audio Daemon)

DAC : ES9038PRO Muti Channel DAC

オシロスコープ : DSO4102B

[最後に]

このDigital Audio Signal Conditioner Version 3 基板が、お客様のDACの最高のパフォーマンスを引き出し、今まで以上に豊かな音楽ライフを楽しんで頂けることを願っています。

本文書とDigital Audio Signal Conditioner Version 3 基板の著作権は「音屋 とらため」にあります。

利用の範囲は個人で楽しむ電子工作とさせていただきます。

営利目的でのご利用はお控え下さい。

改訂履歴

| 日付 | 版 | 内容 |
|------------|-------|---|
| 2018/10/31 | 3.0 | 初版作製 |
| 2019/2/26 | 3.0.1 | <ul style="list-style-type: none"> ・ 8ページ【Si5317のPLLの帯域幅】の説明を訂正（※印の部分：下側を右側と左側に） ・ 9ページの「未使用入力ピンの処理」の説明を書き換えた |
| 2021/1/12 | 3.1.0 | 基板レイアウト変更とファームウェア変更について記載を修正した。 |