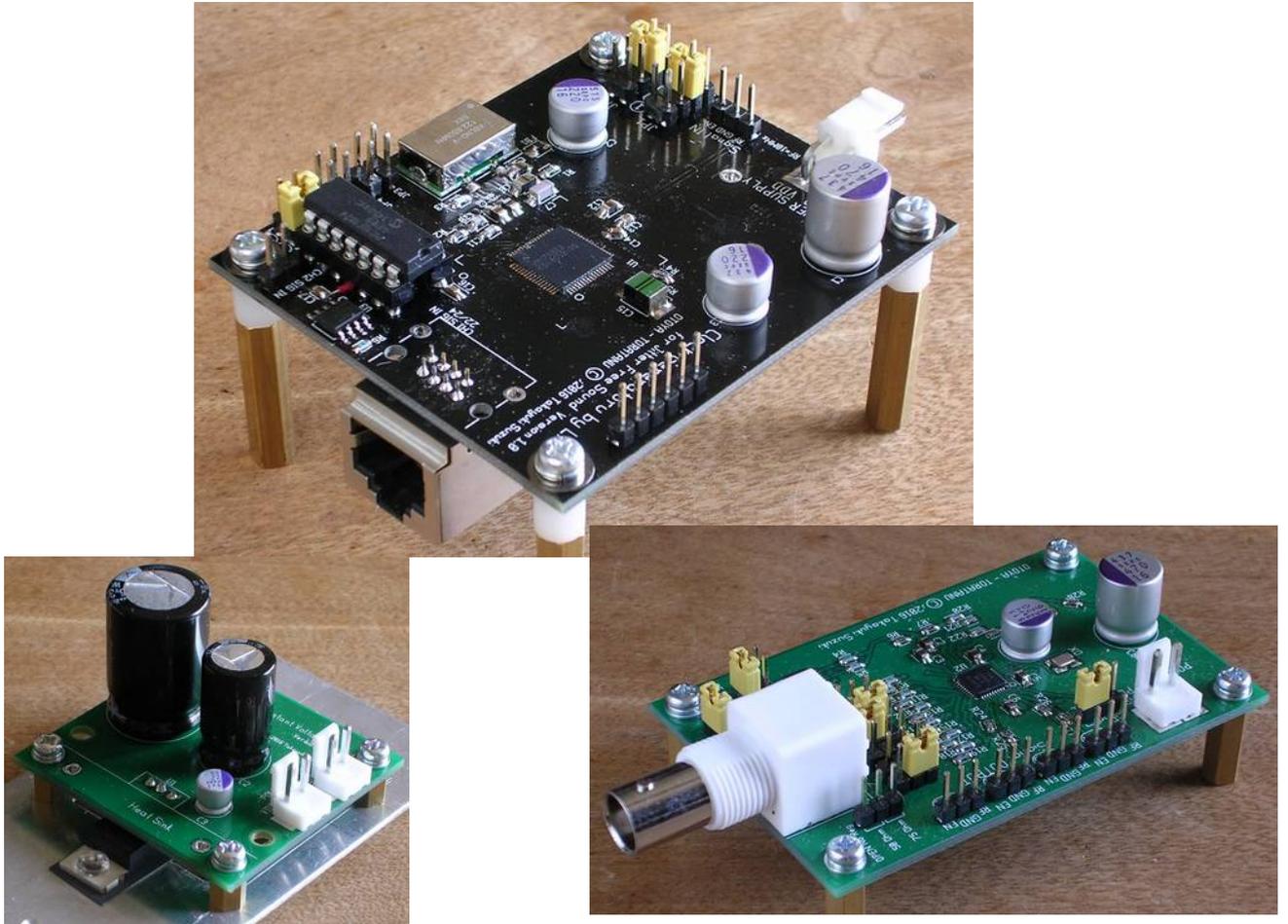


Clock Generator by LMK



本基板の使用により、どのような環境においても、必ず音質の向上が得られるという保証はございません。その点をご理解の上でご利用下さい。

本文書には、初歩的な事も含めて、基板の使い方と仕様について記述しております。電子工作のベテランの方も、安全にそして性能を十分に引き出していただくために、ご一読をお願いします。

ご使用中に、発煙・発火・異音などの異変がありましたら、直ちに電源をお切りいただきますようお願いいたします。
また、感電や火傷など電子工作で発生しがちな怪我をしたり、火災などを起こさないよう、十分に安全に配慮をした上で作業をお願いします。

©2016. 音屋 とらたぬ. All rights reserved.

【概略】

LMK0480X シリーズを使用したクロック信号発生基板です。

I2S などのデジタルオーディオ信号で使用されるマスタークロック、ビットクロックの周波数に対応した基板と、CD ドライブに使用されるクロック信号の周波数に対応した基板があります。LMK0480X のリファレンスとなる入力信号の周波数は 10MHz です。水晶発信器や、ルビジウムによるクロック信号発生器に対応可能です。

出力信号は、LVCMOS と LVDS の 2 系統があり、LVDS では LAN ケーブルを使用して信号を伝送する仕様です。

デジタルオーディオ信号向けの基板では、LMK04805B と 122.88MHz の超低位相ノイズの VCXO を組み合わせて使用しています。出力信号は、LVCMOS ではマスタークロックとビットクロックを出力します。LVDS では 44.1kHz 系統と 48kHz 系統の 2 系統のマスタークロックを、LAN コネクタ (RJ45) を介して出力します。但し、44.1kHz 系統と 48kHz 系統のマスタークロックを同時に供給することは出来ません。44.1kHz 系統と 48kHz 系統の切り替え信号を LVDS で受け取り、自動的に切り替えを行うことが可能です。

ビットクロックの周波数は、44.1kHz 系統が 2.8224MHz から 22.5792MHz までの 4 種、48kHz 系統は 3.072MHz から 24.576MHz までの 4 種を切り替えて出力することが出来ます。

マスタークロックの周波数は、44.1kHz 系統が 11.2896MHz から 90.3168MHz までの 4 種、48kHz 系統は 12.288MHz から 98.304MHz までの 4 種を切り替えて出力することが出来ます。

使用している部品は、Digital Audio Signal Conditioner 基板と同様に高品位のものを採用しています。バイパスコンデンサには PMLCAP や ECPU、ECHU といった高性能フィルムコンデンサを、LMK0480X が必要とする 2 つの PLL ループフィルタには誘電吸収特性に優れた C0G 特性のセラミックコンデンサや ECPU を使用しています。

入出力信号の周波数や出力ポートなどはカスタマイズ可能ですので、お気軽にご相談ください。カスタマイズには無料に対応いたします。

CD のリップングに使用するために CD ドライブに供給するクロック信号として、33.8688MHz のクロック信号を供給する基板を製作した実績があります。LMK04806B と 155.52MHz の超低ジッターの VCXO を組み合わせて使用しました。

【仕様】

この製品は3枚の基板で構成されます。

1) 電源用基板

リニアレギュレーターICのLM350を使用して5Vの定電圧を生成しています。

放熱器を使用することも可能ですし、ケースへの放熱を行うためにLM350を基板底面側に実装することも出来ます。

出力電圧 5V

出力端子数 2

基板サイズ 50 mm x 50 mm 1.6 t

部品実装後の高さ 約 27 mm (LM350 や放熱器を含まない)

両面基板 (2層) 銅箔厚み 35 μ m

レジスト グリーン

2) 信号入力基板

LVC MOSでの入力端子とBNCケーブルでの入力可能な端子の2系統の入力を切り替えて使用することが出来ます。この基板では、Si5317で入力信号のジッターを低減し、次のLMKを使用したクロック信号を発生させる基板に引き渡します。出力信号はLVC MOSで4系統あります。グランド (共通電位) とクロック信号、Si5317のロックを示すENを出力します。

入力信号端子 BNC 1系統 LVC MOS 1系統 計2系統をジャンパーで選択可

出力信号端子 4系統 (EN、GND、RF (クロック信号) で1つのセット)

出力信号レベル LVC MOS

基板サイズ 50 mm x 79 mm 1.6 t

部品実装後の高さ 約 17 mm

両面基板 (2層) 銅箔厚み 35 μ m

レジスト グリーン

3) クロック信号生成基板

LMK0480Xと超低位相ノイズのVCXOを使用しています。LMKの高い性能を引き出すために、基板を4層としました。基板の裏表のパターンだけでなく、内側にグランドプレーンと電源配線の2つの層を持ちます。これによって、さらなる低ジッターのクロック生成と高周波ノイズの抑制を目指しています。

入力信号端子 LVC MOS :

1系統 (EN、GND、RF (クロック信号))

LVDS : LAN コネクタ (RJ45)

44.1kHz系のクロック信号と、48kHz系のクロック信号の自動切替え用の信号

入力信号周波数 10MHz

出力信号端子 LVC MOS :

BCLK 2系統 (それぞれの信号は位相が反転しています)

MCLK 2系統 (それぞれの信号は位相が反転しています)

LVDS : LAN コネクタ (RJ45)

MCLKで44.1kHz系と48kHz系それぞれ1系統 (同時出力は不可)

出力信号周波数

BCLK (単位: MHz)

JP1	①	②	③	④
44.1kHz 系	22.5792	11.2896	5.6448	2.8224
48kHz 系	24.576	12.288	6.144	3.072

MCLK (単位: MHz)

JP2	①	②	③	④
44.1kHz 系	90.3168	45.1584	22.5792	11.2896
48kHz 系	98.304	49.152	24.576	12.288

基板サイズ 62.5 mm x 72.8 mm 1.6 t

部品実装後の高さ 約 17 mm

多層基板 (4層) 銅箔厚み 35 μ m

レジスト ブラック

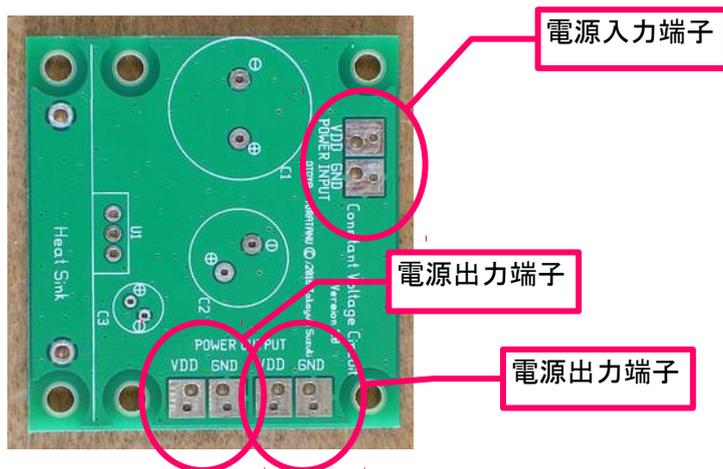
【使用方法】

1) 電源用基板

この基板の出力電圧は5Vですので、入力端子に与える直流電圧は8～12V程度が良いでしょう。電源レギュレーターIC (LM350) の発熱量は入出力の電圧差に比例しますので、発熱を抑えるという観点で、出来るだけ8Vに近い値が望ましいです。電源トランスの出力電圧 (2次側) が6Vまたは7Vのものが良いでしょう。LMK04805Bは500mA程度の電流を消費し、Si5317は200mA程度の電流を消費します。最低でも、2次側から1Aの電流が取り出せる電源トランスを選択してください。1Aは最低レベルですので、他の回路にも電力を供給する場合は、余裕を持った電源トランスを選択するようにしましょう。

出力端子は2つありますが、5.04mmピッチで1.1mmの穴と、3.96mmピッチで1.7mmの穴が開いています。圧着端子を利用したコネクタなどが利用できます。

2つの出力端子は、2) 信号入力基板と3) クロック信号生成基板に電力を供給することを想定しています。

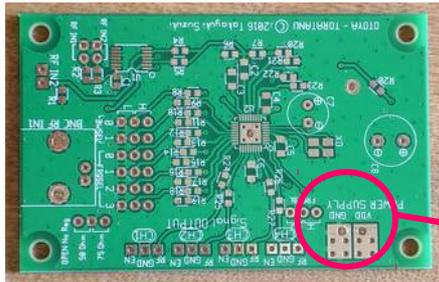




ケースの底板で放熱するように LM350 を基板裏面に実装していますが、基板表側に実装して放熱器をつけることも出来ます。

2) 信号入力基板

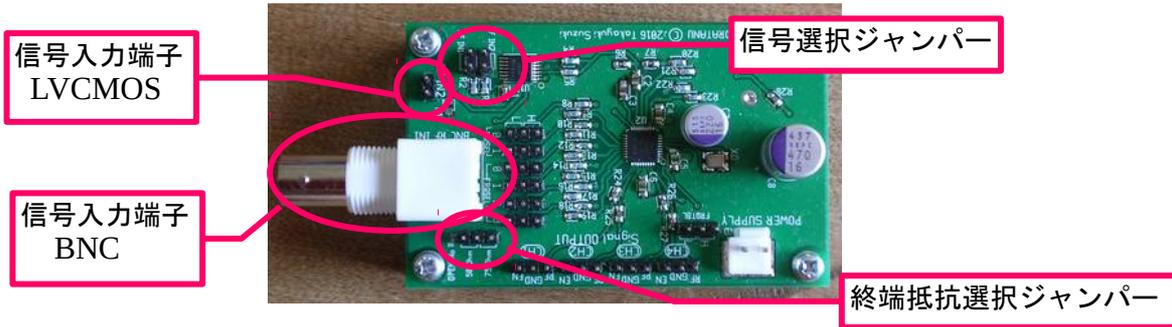
電力は 1) 電源用基板から供給してください。他に電源を用意される場合は、入力電圧が 5~6V になるようにしてください。



電源入力端子

電源の入力端子は 2.54mm ピッチで 1.0mm の穴と、3.96mm ピッチで 1.6mm の穴が開いています。圧着端子を利用したコネクタなどが利用できます。

信号の入力端子は 1つが BNC コネクタです。終端抵抗は 50Ω・75Ω・抵抗無しをジャンパーで選択することが出来ます。もう 1つは LVCMOS レベルの入力端子です。どちらの入力端子を選択するかは、ジャンパーで行うことが出来ます。

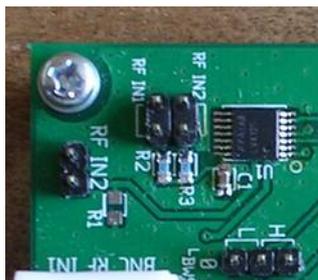


信号入力端子
LVCMOS

信号選択ジャンパー

信号入力端子
BNC

終端抵抗選択ジャンパー

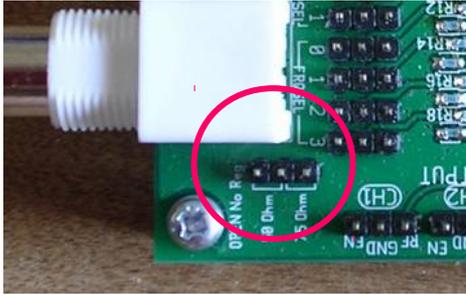


信号選択ジャンパーの設定方法は、BNC からの信号を有効にする場合は、「RF IN1」の側を短絡ソケットでショートします。LVCMOS からの信号を有効にする場合は、「RF IN2」を短絡ソケットでショートします。両方共オープンにすると Si5317 へは信号が与えられません。また、両方共にショートすると悪影響がありますので、行わないでください。



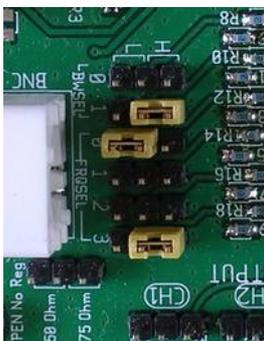
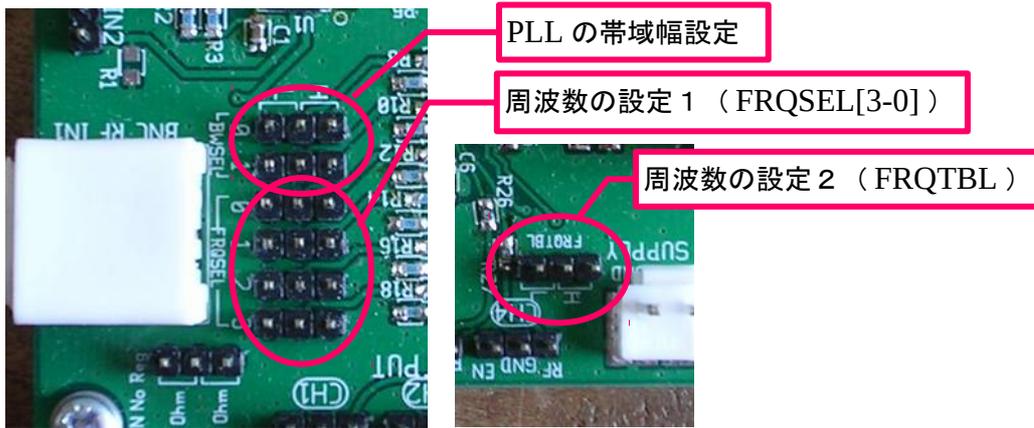
右の例は、BNC からの信号を有効としています。RF IN2 の信号入力端子を使用しない場合は、短絡ソケットでグランドに接続して、ロジック IC の入力がオープンにならないようにしてください。

BNCによる入力には終端抵抗を実装してあり、短絡ソケットで選択することができます。

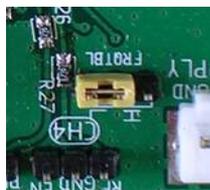


短絡ソケットをつけない場合は、終端抵抗無しになります。シルクの表示にしたがって短絡ソケットをつけると、その抵抗値での終端が行われます。

Si5317の周波数やPLLの帯域幅に関する設定は、全てジャンパーで行うことが可能です。3)のクロック信号生成基板の入力クロック信号の周波数が10MHzですので、出荷時はその設定になっています。



FRQSEL[3-0]とFRQTBLの10MHzの設定です。Si5317のデータシートには、H・M・Lという3種類の設定が記載されています。



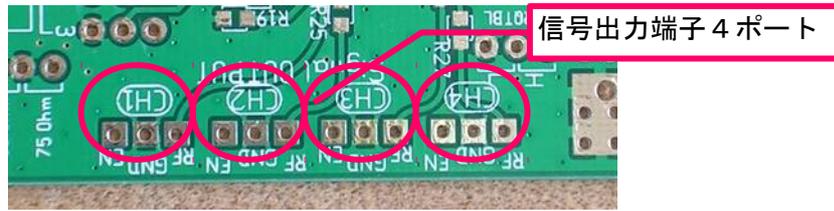
HやLの設定はシルクの表示に合わせて短絡ソケットでショートします。Mの設定はオープンのままにしておいて下さい。

PLLの帯域幅の設定方法です。

帯域幅 (Hz)	6003	1441	356	178	88
BWSEL0	L	M	H	L	M
BWSEL1	M	M	M	H	H

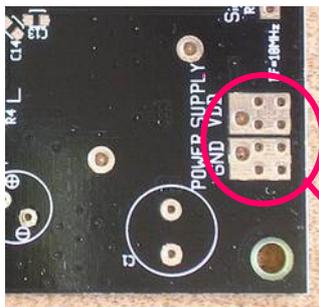
入力信号のジッターが多いと予測される場合は、PLLがロックする範囲内で帯域幅をできるだけ狭くしたほうが、出力信号のジッターは減ります。逆に入力信号のジッターが小さいと予測される場合は、帯域幅を最大にすると、出力信号のジッターは最小になります。これはPLLがもつ特性によるもので、PLL自体が発生させるジッターは、帯域幅が大きいほどジッターは小さくなり、帯域幅が小さいほどジッターが大きくなるためです。

この基板の出力は Si5317 の PLL がロックしたことを示す EN と、ジッタークリーニングをしたクロック信号 (RF) です。EN が論理レベル H の時には PLL がロックした状態で、論理レベル L の場合は PLL がロックしていない状態です。Si5317 の出力は LVCMOS に設定すると 4 ポートあります。その全てを出力端子につなぎましたので、出力端子は 4 つあります。



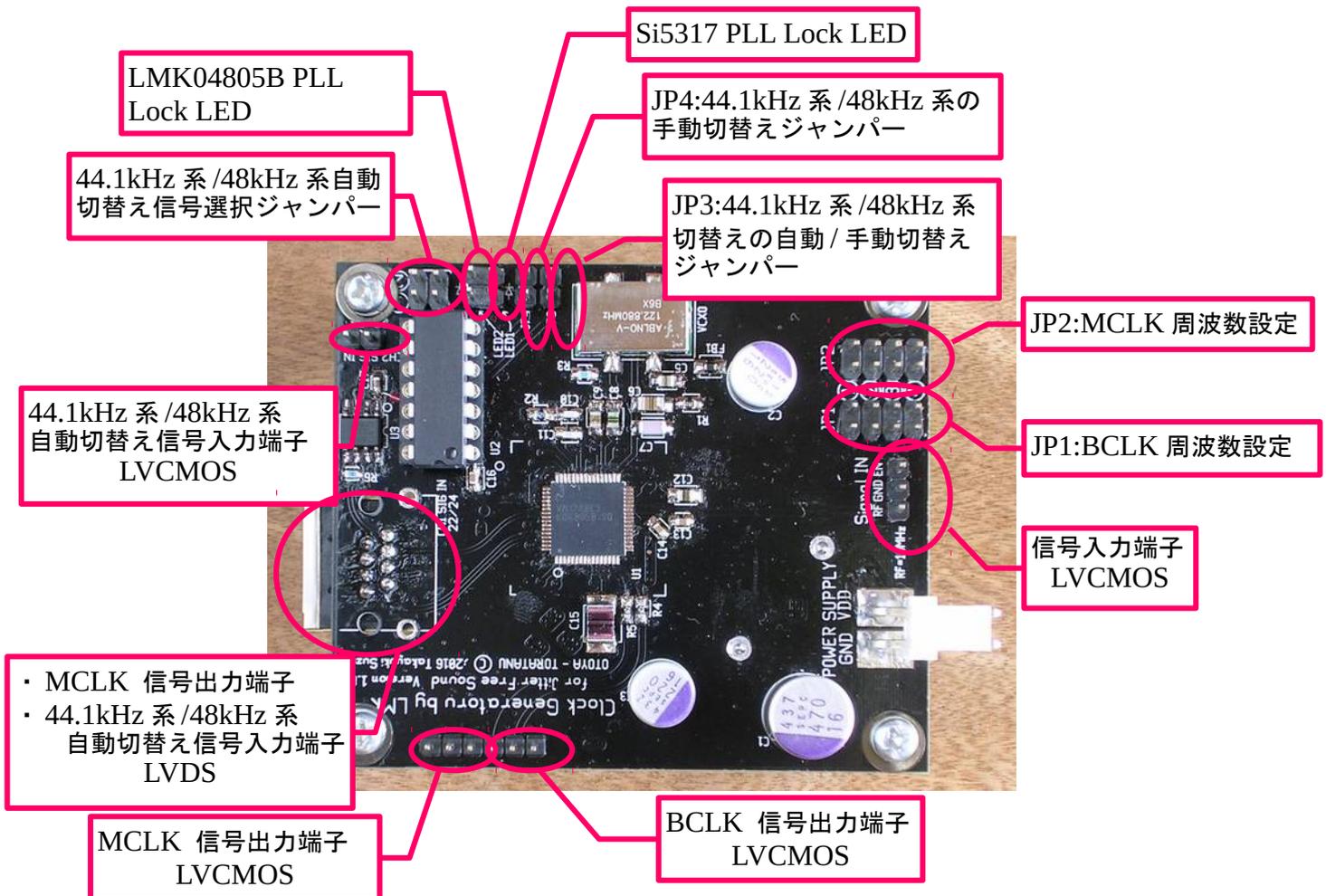
3) クロック信号生成基板

電力は 1) 電源用基板から供給してください。他に電源を用意される場合は、入力電圧が 5~6V になるようにしてください。



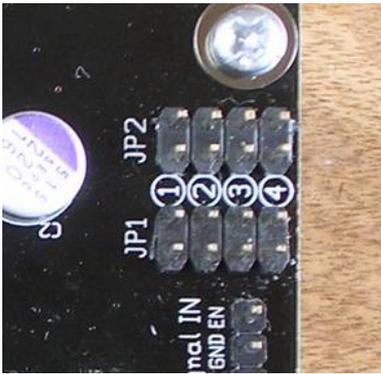
電源の入力端子は 2.54 ピッチで 1.0mm の穴と、3.96mm ピッチで 1.6mm の穴が開いています。圧着端子を利用したコネクタなどが利用できます。

クロック信号生成基板の入出力端子や、設定ジャンパーを下図に示します。



a) BCLK・MCLK 周波数設定 (JP1・JP2)

本基板の BCLK の出力周波数を設定するのは JP1 です。MCLK の出力周波数を設定するのは JP2 です。①～④までのいずれかを短絡ソケットでショートすると、以下の表に示す周波数の BCLK および MCLK が出力されます。



BCLK

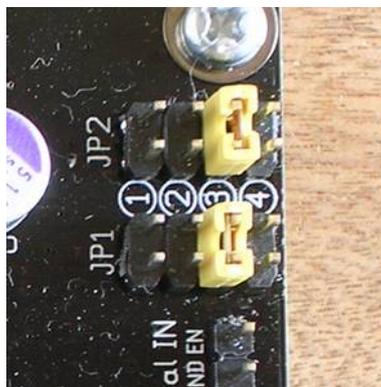
JP1	①	②	③	④
44.1kHz 系	22.5792	11.2896	5.6448	2.8224
48kHz 系	24.576	12.288	6.144	3.072

(単位 : MHz)

MCLK

JP1	①	②	③	④
44.1kHz 系	90.3168	45.1584	22.5792	11.2896
48kHz 系	98.304	49.152	24.576	12.288

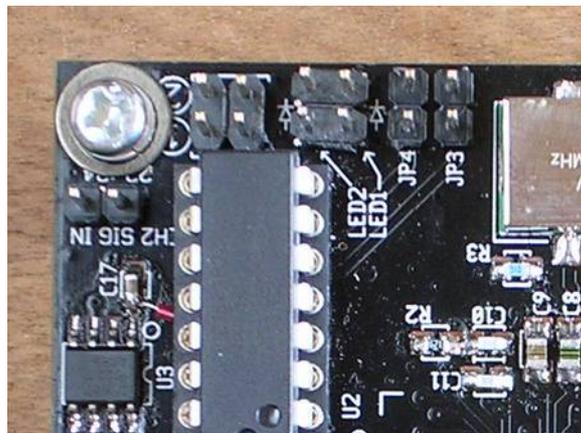
(単位 : MHz)



右の図では、BCLK は 5.6448/6.144MHz に設定しています。MCLK は 22.5792/24.576MHz に設定しています。

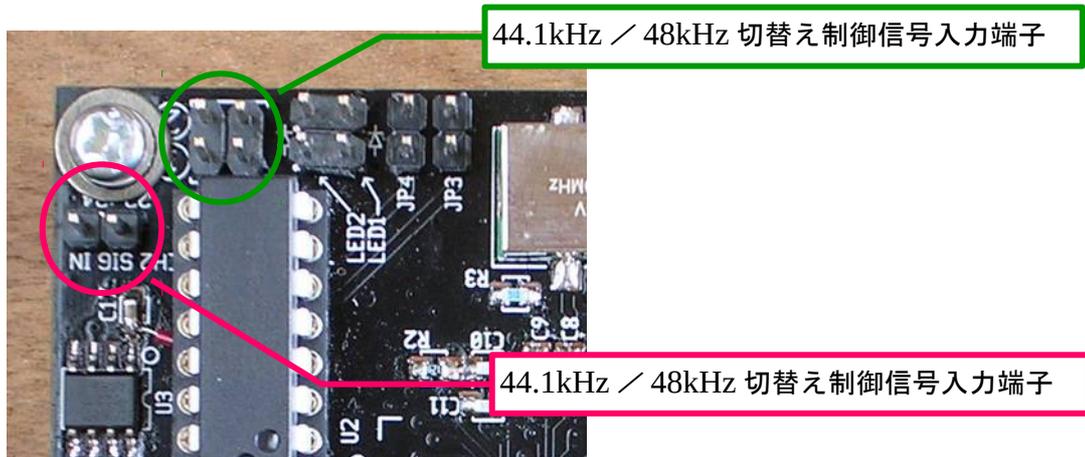
b) 44.1kHz 系/48kHz 系の切替え

44.1kHz 系/48kHz 系の切替えは自動で行う場合 (外部からの制御信号を受信して行う場合) とトグルスイッチなどでの切替えを行うことが出来るように設計しました。



手動で行う場合の設定は JP3 をオープンにしてください。その場合は、JP4 の設定で切り替えが行われます。自動で行う場合は JP3 をショートしてください。

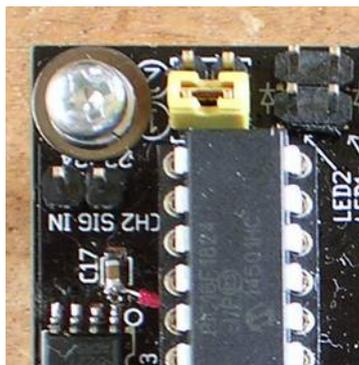
手動の場合、JP4 をオープンにすると 44.1KHz 系の信号が出力されます。JP4 をショートすると 48kHz 系の信号が出力されません。



JP3 をショートして自動にすると、切り替えの判断は他のシステムからの制御信号とすることが出来ます。この制御信号のソースは2種類から選ぶことが出来ます。

1つはLANコネクタを経由して受け取る場合で、もう1つは上図の赤丸をつけた端子です。基板外側がグランドで、内側が信号入力端子になります。この端子が論理レベルHであれば44.1kHz系の信号を出力し、論理レベルLであれば48kHz系の信号を出力します。

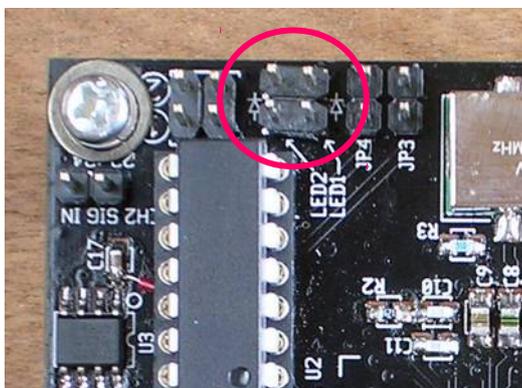
制御信号の2つの受け取り方を決めるのが、上図の緑丸のピンです。①の側を短絡ソケットでショートすると、LANコネクタを経由して受け取る信号で制御されます。②の側を短絡ソケットでショートすると、赤丸の入力端子から受け取る信号で制御されます。



右図の例は、①のLANコネクタを経由して受け取る信号で制御する場合があります。

c) PLLのロックを示すLEDの接続

2)の基板で使用しているSi5317と本基板のLMK04805BのPLLのロックを示すLEDの表示は、以下の図の赤丸に接続します。



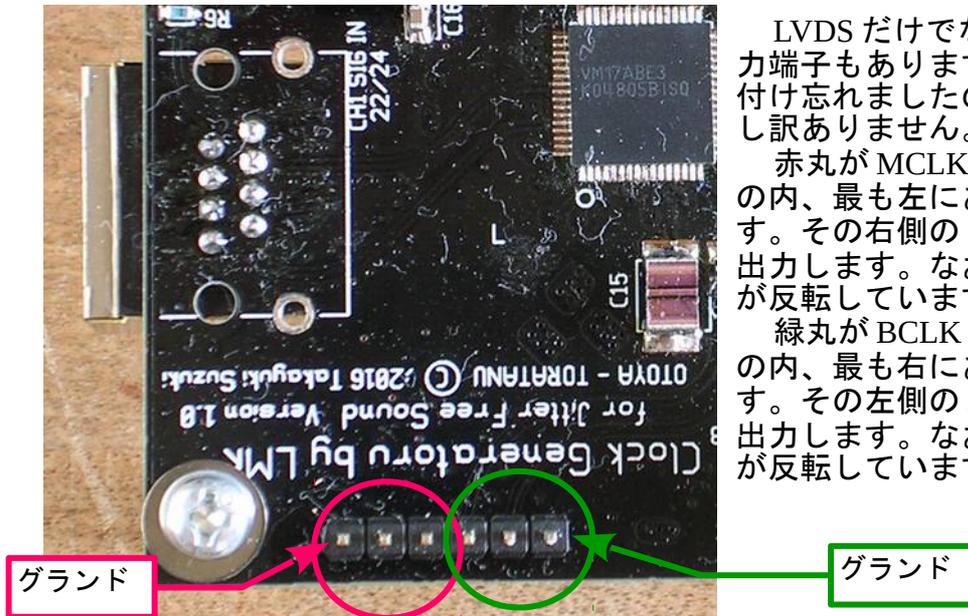
LED1はSi5317のPLLのロックを示します。実際は、本基板のEN入力が論理レベルHになるとLEDが点灯します。

LED2が本基板のLMK04805Bが持つ2つのPLLのロックを示します。

どちらも基板外側がグランドで、内側が信号出力になります。

d) クロック信号出力

1つの出力はLANコネクタ（RJ45）を経由するLVDSでの出力です。この信号を受信するためには専用の基板が必要です。便宜上、LANコネクタとLANケーブルを利用しているため、一般に流通しているLANの装置や、音屋とらためて販売しているLVDS&デジタルアイソレーター基板とは互換性はありません。決して接続しないで下さい。故障の原因になります。専用の基板については、本ドキュメントの最後に説明します。なお、LANコネクタのプリント基板のパターン設計ミスにより、当初、基板の表側に実装する予定だったコネクタを裏側に実装しています。コネクタ自体を基板に固定する部分の位置も合わなくなっていますので、コネクタに無理な力が加わらないようにご注意ください。



LVDSだけでなく、LVCMOSでの出力端子もあります。シルクでの表示を付け忘れしたのでわかりにくくて申し訳ありません。

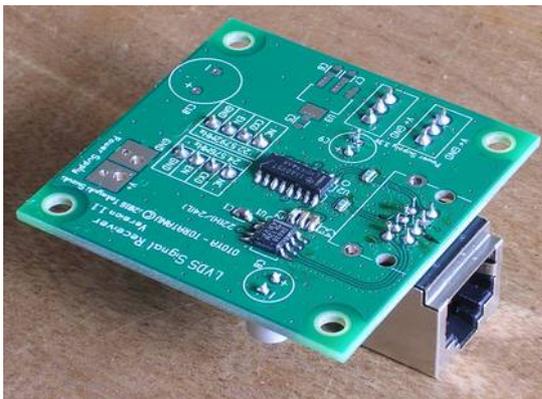
赤丸がMCLKの出力端子です。赤丸の内、最も左にある端子がグランドです。その右側の2つの端子がMCLKを出力します。なお、2つの端子は位相が反転しています。

緑丸がBCLKの出力端子です。緑丸の内、最も右にある端子がグランドです。その左側の2つの端子がBCLKを出力します。なお、2つの端子は位相が反転しています。

4) LVDS 信号送受信基板（別売り）

3)のクロック信号生成基板のLANコネクタの入出力に対応した基板です。この基板はオプション（別売り）です。

44.1kHz系のクロック信号と、48kHz系のクロック信号を排他的に供給することが出来ます。クロック信号生成基板と同様で、パターンのバグにより、LANコネクタを裏面に実装しています。LANコネクタに無理な力を加えないようにお願いします。



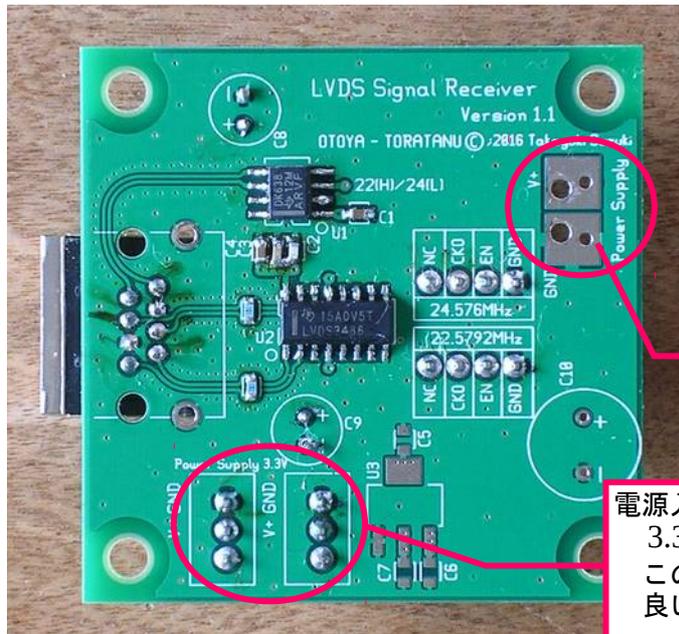
入力信号：クロック信号2系統（LVDS）
EN（LVCMOS）

出力信号：クロック切替え制御信号（LVDS）
クロック信号（LVCMOS）

基板サイズ：50mm x 50mm 1.6t

高さ：約17mm（3.3Vレギュレータ非実装時）
約22mm（3.3Vレギュレータ実装時）

多層基板（4層）銅箔厚み35μm
レジスト グリーン



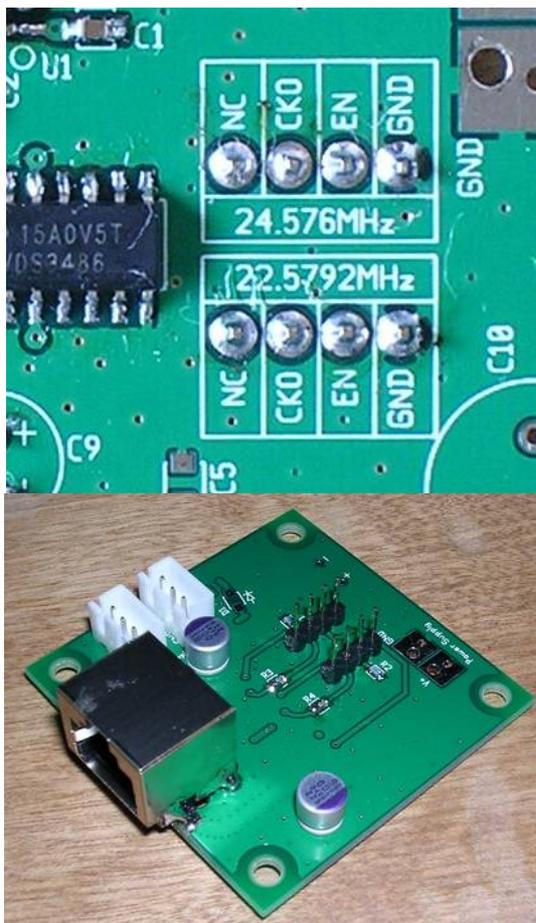
電源電圧はU3を実装すると、5V～10Vを与えることができます。使用しているICの電源電圧は3.3Vですので、それを直接与えることもできます。

U3にはLD1117S33TRを想定しています。希望される方には実装してお渡します。

電源入力端子
U3を実装した場合、5V～10Vを供給します。

電源入力端子
3.3Vを直接供給する場合に使用します。この場合は、U3は実装しないほうが良いでしょう。

信号の入出力端子です。



ENはLVCMOSの入力端子で、15kΩの抵抗でプルダウンされています。44.1kHz系のEN入力の値が、クロック信号発生基板に送られますので、2つのENを両方、論理レベルHにすると、44.1kHz系の周波数が出力されます。が、この時の48kHz系のCKOの周波数は不定です。ENに論理レベルLを入力すると、CKOはハイインピーダンスになります。

CKOはクロック信号の出力端子で、信号レベルはLVCMOSです。

上側が48kHz系の信号入出力で、下側が44.1kHz系の信号出力です。

SDTrans384基板との連携を考慮してクロック信号の周波数(22.5792 / 24.576 MHz)をシルク印刷していますが、実際には3)のクロック信号発生基板の出力する信号の周波数となります。

【カスタマイズ】

無料でカスタマイズに対応いたします。

カスタマイズ可能な内容は、入力クロック信号の周波数と出力クロック信号の周波数です。もちろん LMK0480X シリーズと流通している VCXO の組み合わせで実現できる周波数に限ります。対応可能かどうかは音屋とらためで調べますので、ご希望の方はお問い合わせ下さい。用途はオーディオでなくても構いません。LVCMOS の出力が 2 系統と LVDS の出力が 2 系統ありますので、全ての周波数が異なっても、実現可能であれば対応します。また、各種ジャンパーの意味合いについても対応できる場合がありますので、どうぞお気軽にお問い合わせ下さい。

詳細な仕様を提示して頂いても構いませんし、大まかなイメージを伝えて頂いても結構です。

【製品保証】

部品の実装に関しましては手作業で行っておりますので、全製品に対して、完成後に機能試験をして正常動作を確認してから発送しております。

このような製造体制でありますので、保証期間は商品到着後、2 週間とさせていただきます。到着後、お早めに機能のご確認をお願いします。正しい使い方をされても正常に動作しない場合は、修理が可能であれば修理で、修理が不可能であればご返金で対応させていただきます。

ハンダ付けなど、お見苦しいところがあると思います。また、機能確認時にクリップなどでパッドを挟んでおりますので、多少の傷がありますが、どうぞご容赦願います。

正常動作を確認するまでは、こちらから発送に使用しました箱と緩衝材をとっておいて下さい。

* 動作不良の場合の取り扱いについて

申し訳ありませんが、まず購入者様のご負担で返送していただき、こちらで基板が不良品であることを確認した後で、修理可能であれば修理とテストが完了後に送らせていただきます。ご負担いただいた返送料を購入者様の口座に振り込ませていただきます。

修理不可能と判断した場合は、ご負担いただいた返送料・商品代金・送料を購入者様の口座に振り込ませていただきます。

こちらでは正常に動作する場合は、ご返金はできかねますので、ご了承下さい。また、着払いでご返送いただいても、受け取れませんのでよろしく願います。

【最後に】

この Digital Audio Signal Conditioner 基板が、お客様の DAC の最高のパフォーマンスを引き出し、今まで以上に豊かな音楽ライフを楽しんで頂けることを願っています。

本文書と Clock Generator by LMK 基板の著作権は「音屋とらため」にあります。

利用の範囲は個人で楽しむ電子工作とさせていただきます。

営利目的でのご利用はお控え下さい。