

Clock Generator by HMC7044 V2.1



本基板の使用により、どのような環境においても、必ず音質の向上が得られるという保証はございません。その点をご理解の上でご利用下さい。

本文書には、初歩的な事も含めて、基板の使い方と仕様について記述しております。電子工作のベテランの方も、安全にそして性能を十分に引き出していただくために、ご一読をお願いします。

ご使用中に、発煙・発火・異音などの異変がありましたら、直ちに電源をお切りいただきますようお願いいたします。

また、感電や火傷など電子工作で発生しがちな怪我をしたり、火災などを起こさないよう、十分に安全に配慮をした上で作業をお願いします。

©2021. 音屋 とらため. All rights reserved.

【概略】

世界最高のジッタークリーナー性能を誇る、Analog Devices 社の HMC7044 を使用したクロック信号発生基板です。

HMC7044 はジッター性能 44fs という、Texas Instruments 社の LMK シリーズの性能を超える、極めて高性能なジッタークリーナー・クロックシンセサイザ IC です。

I2S などのデジタルオーディオ信号で使用されるマスタークロック、ビットクロックの周波数に対応した基板です。HMC7044 のリファレンスとなる入力信号の周波数は 10MHz です。水晶発信器※₁や、ルビジウムによるクロック信号発生器※₁などに対応可能です。

出力信号は、LVCMOS と LVDS の 2 系統があり、LVDS では LAN ケーブルを使用して信号を伝送する仕様です。

HMC7044 と、122.88MHz の超低位相ノイズ・差動出力の VCXO を組み合わせて使用しています。出力信号は、LVCMOS ではマスタークロックとビットクロックを出力します。LVDS ではマスタークロックとビットクロックを、LAN コネクタ (RJ45) を介して出力します。但し、44.1kHz 系統と 48kHz 系統のクロックを同時に供給することは出来ません。44.1kHz 系統と 48kHz 系統の切り替え信号を LVDS で受け取り、自動的に切り替えを行うことが可能です。また、基板上のジャンパーをオープン/ショートにする方法でも 44.1kHz 系統と 48kHz 系統の出力クロックの切り替えを行うことが出来ます。

ビットクロックの周波数は、44.1kHz 系統が 2.8224MHz から 45.1584MHz までの 5 種、48kHz 系統は 3.072MHz から 49.152MHz までの 5 種を切り替えて出力することが出来ます。

マスタークロックの周波数は、44.1kHz 系統が 5.6448MHz から 90.3168MHz までの 5 種、48kHz 系統は 6.144MHz から 98.304MHz までの 5 種を切り替えて出力することが出来ます。

使用している部品は、Digital Audio Signal Conditioner V3.X 基板と同様に高品位のものを採用しています。バイパスコンデンサには PMLCAP や ECPU、ECHU といった高性能フィルムコンデンサを、HMC7044 が必要とする 2 つの PLL のループフィルタには誘電吸収特性に優れた C0G 特性のセラミックコンデンサを使用しています。

・ V1.0 基板からの変更点

- 1) VCXO を差動信号出力タイプにしました。V1.0 は LVCMOS 出力でした。
- 2) 基板を 6 層基板にしました。V1.0 は 4 層基板でした。
- 3) 基板上の電源 IC を LT3045 1 個 1 系統、LT3042 の 2 パラ 2 系統にしました。LT3042 の 2 パラ電源 2 系統は、VCXO と HMC7044 内部の VCO の電源に使用しています。
- 4) 基板の上に正弦波から差動信号 (LVPECL) への変換 IC である LTC6957-1 を実装して正弦波を直接入力できるようにしました。終端抵抗は 50Ω・75Ω・HiZ をジャンパーで選択できます。LTC6957-1 のフィルター設定はジャンパーで行うようにしました。
- 5) 矩形波の入力端子は TTL レベルの信号に対応し、終端抵抗は 50Ω・75Ω・HiZ をジャンパーで選択できます。
- 6) 基板の上に 10MHz の水晶発振器を実装して、外部からのクロック入力を行わなくても動作出来るようにしました。
- 7) 通電開始後に HMC7044 の内部設定の最適化を行うようにしました。また、ジャンパー設定でこの最適化を行わない動作にも対応するようにはしました。
- 8) LRCLK (BCLK の 6 4 倍の周波数のクロック) の出力は無くしました。

【仕様】

HMC7044の高い性能を引き出すために、基板を6層としました。基板の裏表のパターンだけでなく、内側にグランドプレーンと電源や信号の配線で4つの層を持ちます。これによって、さらなる低ジッターのクロック生成と高周波ノイズの抑制を目指しています。

入力信号端子

矩形波 1系統

: 信号レベル TTL DCカップリング

ロジックレベルLは0.8V以下

ロジックレベルHは2.0V以上5.0V以下

(終端抵抗 50Ω / 75Ω / HiZ 切り替え可)

正弦波 1系統

: 信号レベル 0.2Vpp~2.0Vpp ACカップリング

(終端抵抗 50Ω / 75Ω / HiZ 切り替え可)

LVDS : LAN コネクタ (RJ45)

44.1kHz系と48kHz系のクロック信号の自動切り替え用の信号

入力信号周波数 10MHz

出力信号端子 LVCMOS :

BCLK 2系統・MCLK 2系統

LVDS : LAN コネクタ (RJ45)

BCLK 1系統・MCLK 1系統

出力信号周波数

BCLK (単位: MHz)

JP7	①	②	③	④	⑤
44.1kHz系	2.8224	5.6448	11.2896	22.5792	45.1584
48kHz系	3.072	6.144	12.288	24.576	49.152

MCLK (単位: MHz)

JP8	①	②	③	④	⑤
44.1kHz系	5.6448	11.2896	22.5792	45.1584	90.3168
48kHz系	6.144	12.288	24.576	49.152	98.304

電源電圧 : 4V ~ 5V

基板サイズ 62.5 mm x 72.8 mm 1.6 t

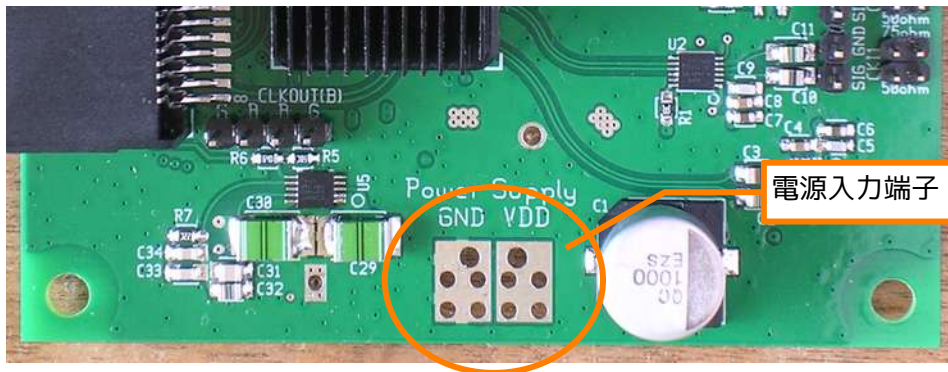
部品実装後の高さ 約 17 mm

多層基板 (6層) 銅箔厚み 35 μm

レジスト グリーン

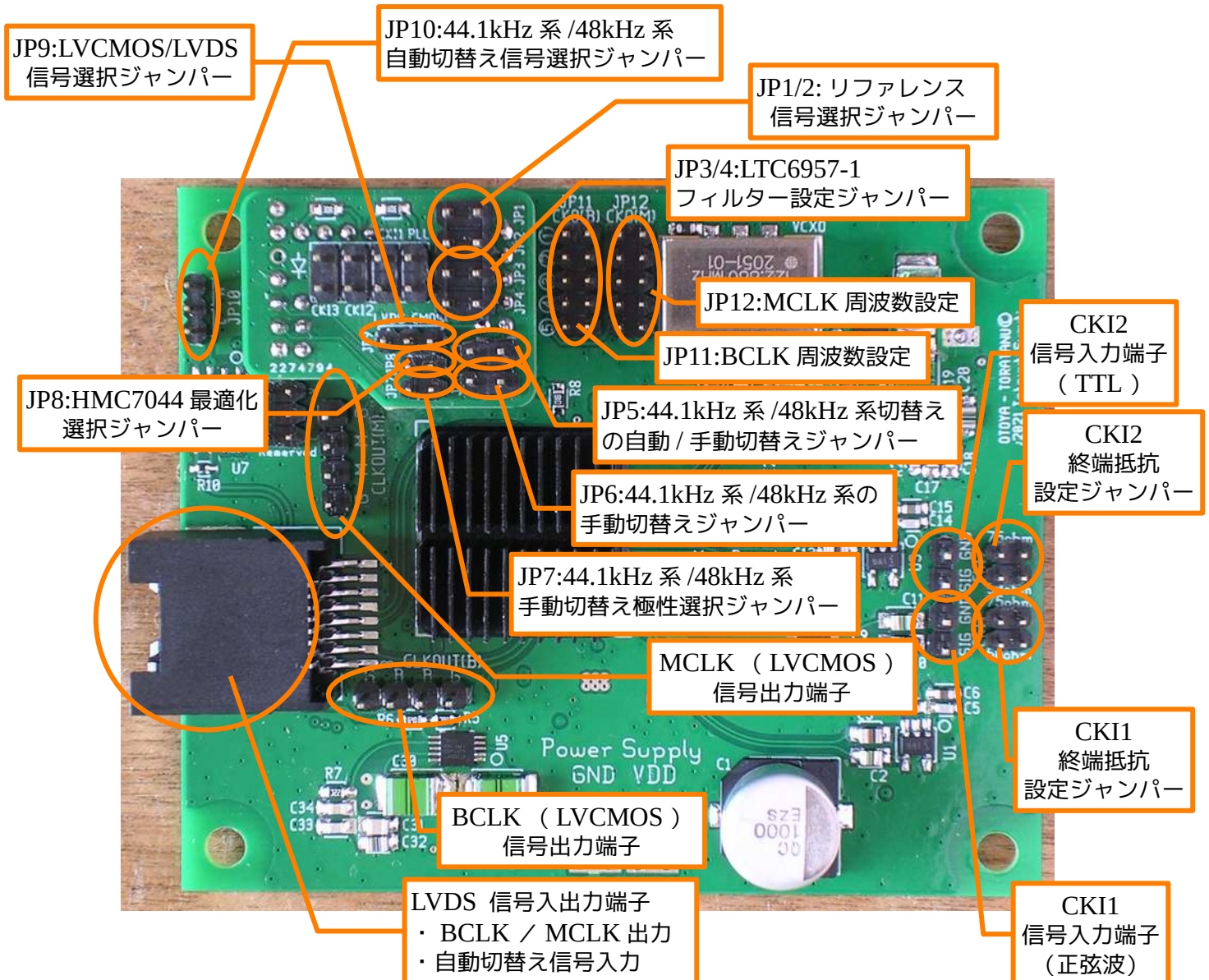
【使用方法】

電力は下図の電源入力用の端子から供給します。入力電圧が4V～5Vになるようにしてください。電流量は、700mAを安定供給できるようにしてください。



電源の入力端子は2.54ピッチで1.0mmφの穴と、3.96mmピッチで1.6mmφの穴が開いています。端子台や圧着端子を利用したコネクタなどが利用できます。

クロック信号生成基板の入出力端子や、設定ジャンパーを下図に示します。



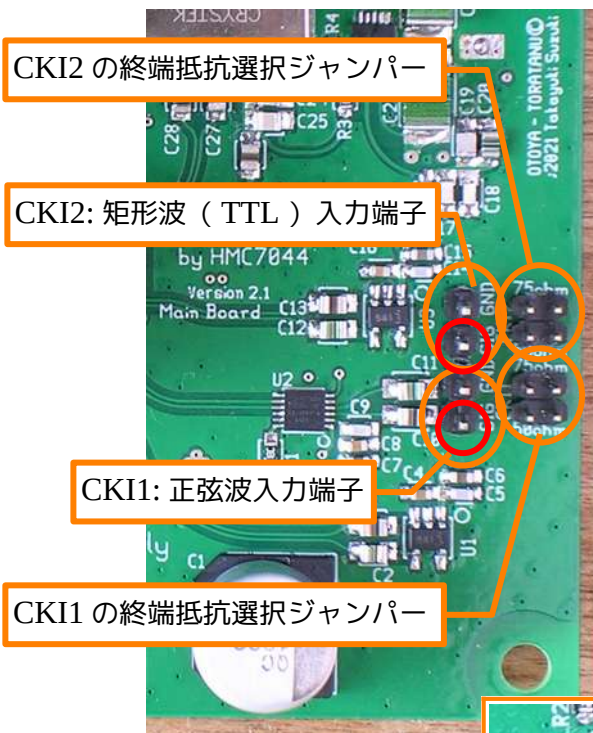
各入力端子、各ジャンパーのピンピッチと本数は以下の表を参照して下さい。

CKI1 信号入力端子 (正弦波)	CKI2 信号入力端子 (TTL)	CKI1 終端抵抗 設定ジャンパー	CKI2 終端抵抗 設定ジャンパー
2.54mmピッチ 1列2本	2.54mmピッチ 1列2本	2mmピッチ 2列4本	2mmピッチ 2列4本

JP1/2	JP3/4	JP5	JP6	JP7
2.54mmピッチ 1列2本	2.54mmピッチ 1列2本	2.54mmピッチ 1列2本	2.54mmピッチ 1列2本	2mmピッチ 1列2本

JP8	JP9	JP10	JP11	JP12
2mmピッチ 1列2本	2mmピッチ 2列3本	2mmピッチ 1列3本	2mmピッチ 2列10本	2mmピッチ 2列10本

a) リファレンス信号入力端子



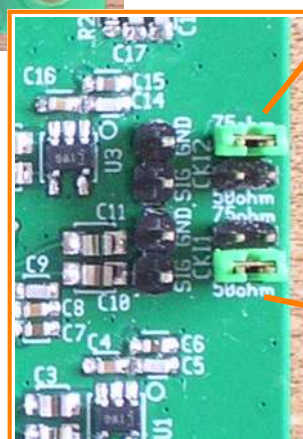
左図は CKI1 (正弦波 0.2Vpp~2.0Vpp) の入力端子と CKI2 (矩形波 TTL) の入力端子です。

赤丸の付いたピンが信号入力で、もう1つのピンがグランドです。

それぞれの入力端子に、終端抵抗を設定するためのジャンパーがあります。

左図では短絡ソケットがついていないので、CKI1とCKI2は終端抵抗無しのHiZになっています。HiZに設定する場合は、使用しない入力端子には短絡ソケットを取り付けて下さい。

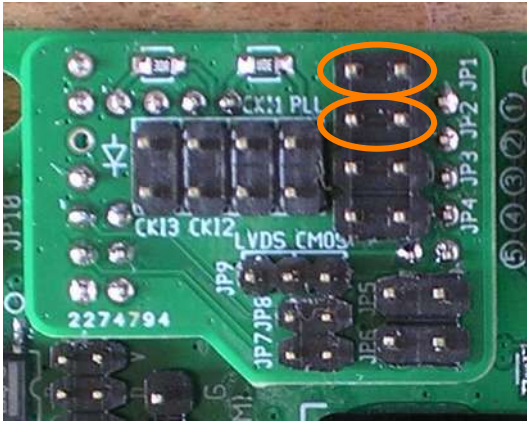
終端抵抗は 50Ω と 75Ω に設定できます。



75Ω に設定する場合は図の75ohmの側に短絡ソケットを取り付けます

50Ω に設定する場合は図の50ohmの側に短絡ソケットを取り付けます

b) リファレンス信号選択ジャンパー (JP1・JP2)



CKI1 に供給するクロックをリファレンス信号とする場合は JP1 に短絡ソケットを取り付けて下さい。

CKI2 に供給するクロックをリファレンス信号とする場合は JP2 に短絡ソケットを取り付けて下さい。

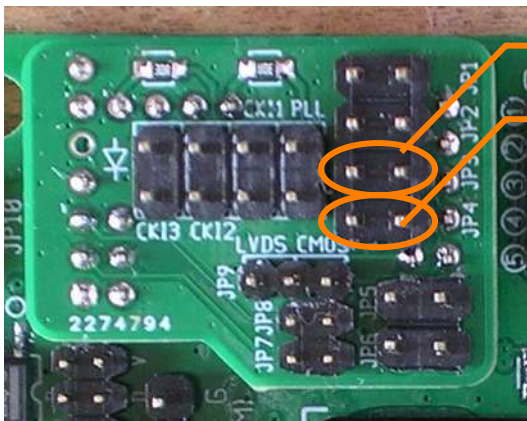
JP1 と JP2 の両方に取り付けると、JP1 が優先されますので、CKI1 が有効になります。

JP1 と JP2 の両方に短絡ソケットを取り付けない場合は、基板上に実装されてる 10MHz の水晶発振器の出力クロックがリファレンス信号となります。

CKI1 と CKI2 のいずれかを利用している場合は、基板上の水晶発振器は発振を停止しています。

リファレンス信号選択の設定は、通電中に変更しても動作には反映されません。変更する場合は停止中（電源オフの状態）で行って下さい。その後、リファレンスのクロック信号を供給して基板に通電すると切り替わります。

c) 正弦波を矩形波に変換する IC (LTC6957-1) のフィルター設定 (JP3・JP4)



JP3:LTC6957-1 の FILTA の設定

JP3:LTC6957-1 の FILTB の設定

CKI1 の入力部で使っている LTC6957-1 のフィルター特性を設定するジャンパーです。CKI2 は TTL ですのでこの設定は関係ありません。

JP3 と JP4 はプルアップされていますので、短絡ソケットを取り付けると FILTA/B を L に設定し、短絡ソケットを取り付けないと FILTA/B を H に設定します。

設定内容は以下の表を参考にして下さい。リファレンス信号の周波数は 10MHz です。色のついている所が該当します。リファレンス信号の電力または振幅については、発振器の仕様を調べて下さい。

リファレンス信号 電力 / 振幅	FILTA=L FILTB=L (MHz)	FILTA=H FILTB=L (MHz)	FILTA=L FILTB=H (MHz)	FILTA=H FILTB=H (MHz)
10 dBm / 2.0 Vpp	63 以上	20 ~ 63	6.3 ~ 20	6.3 未満
5 dBm / 1.125 Vpp	112 以上	35 ~ 112	11 ~ 35	11 未満
0 dBm / 0.632 Vpp	200 以上	63 ~ 200	20 ~ 63	20 未満
-5 dBm / 0.356 Vpp	-	112 以上	35 ~ 112	35 未満
-10 dBm / 0.2 Vpp	-	200 以上	63 ~ 200	63 未満

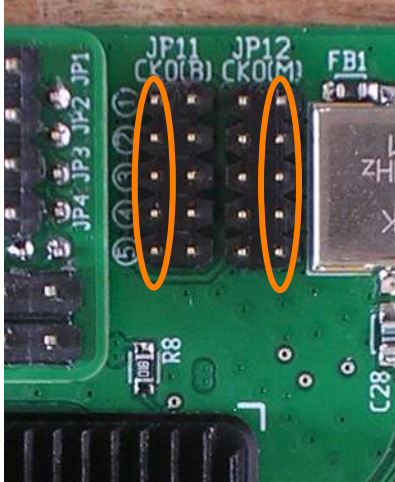
・ 電力 (dBm) の値は、終端抵抗 50Ω 時の値です。

・ 詳細は Analog Devices 社の LTC6957 のデータシートをご参照下さい。

d) BCLK・MCLK 周波数設定 (JP11・JP12)

本基板の BCLK の出力周波数を設定するのは CKO(B)と表示されている JP11 です。MCLK の出力周波数を設定するのは CKO(M)と表示されている JP12 です。①～⑤までのいずれかを短絡ソケットでショートすると、以下の表に示す周波数の BCLK および MCLK が出力されます。通電/動作中に、変更することが出来ます。ロータリースイッチを使用するとスムーズに設定の変更が可能です。

その際は、図の丸で囲った側のピンがマイクロコントローラーに接続されていますので、配線の時にご注意下さい。

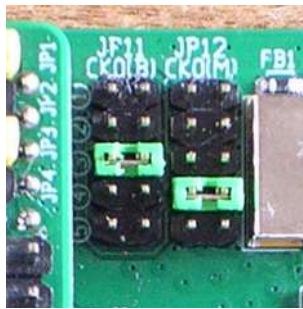


BCLK (単位: MHz)

JP7	①	②	③	④	⑤
44.1kHz 系	2.8224	11.2896	5.6448	22.5792	45.1584
48kHz 系	3.072	12.288	6.144	24.576	49.152

MCLK (単位: MHz)

JP8	①	②	③	④	⑤
44.1kHz 系	5.6448	11.2896	22.5792	45.1584	90.3168
48kHz 系	6.144	12.288	24.576	49.152	98.304

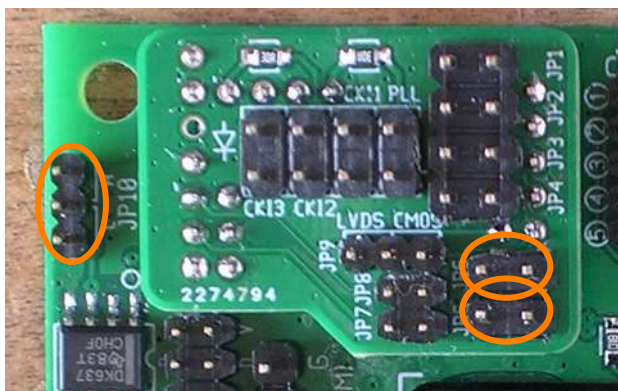


左上図では、BCLK、MCLK 共に短絡ソケットを付けていませんが、マイクロコントローラーの入力ピンの設定はアナログの HiZ ですので、①～⑤のいずれかに短絡ソケットを必ず取り付けるようにして、開放のままにはしないで下さい。

左図では、JP11 の③と JP12 の④に短絡ソケットがついていますので、BCLK が 5.6448 / 6144 MHz で、MCLK が 45.1584 / 49.152 MHz に設定されています。

e) 44.1kHz 系 / 48kHz 系の切替え

44.1kHz 系 / 48kHz 系の切替えは本基板側で行う場合と、LVDS (LAN 端子経由)からの信号で切替えを行うことが出来るように設計しました。



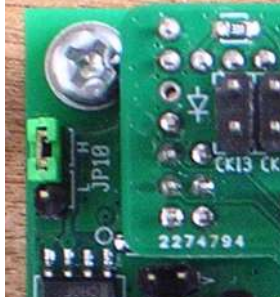
本基板側で行う場合の設定は JP5 をオープンにして下さい。その場合は、JP6 の設定で切り替えが行われます。LVDS からの信号で切り替えを行う場合は、JP5 をショートして下さい。JP6 は通電中に設定の変更を行えます。

JP5	設定内容
ショート	LVDS からの信号で切替え
オープン	本基板の JP6 で切替え

・ LVDS からの信号で切り替える場合

LVDS からの信号は JP10 を経由してマイクロコントローラーに入力されます。JP1 のH側かL側を、ジャンパーでショートして下さい。H側とL側のどちらをショートするかで、44.1kHz 系 / 48kHz 系の切り替わる論理レベルが変更できます。

JP10	動作
H側をショート	LVDS受信機側で、論理レベルHにすると48kHz系のクロックを出力し、論理レベルLにすると44.1kHz系のクロックを出力する
L側をショート	LVDS受信機側で、論理レベルLにすると48kHz系のクロックを出力し、論理レベルHにすると44.1kHz系のクロックを出力する



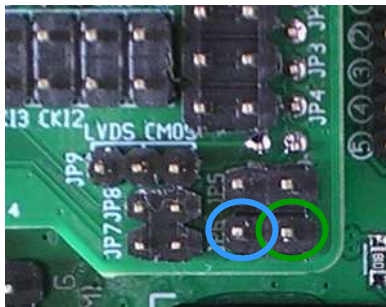
左図ではH側をショートして、LVDS受信機側で論理レベルHで48kHz系、論理レベルLで44.1kHz系のクロックを出力する設定です。

JP10の設定は、通電中に変更することが出来ますが、通常の使用方法ではその必要はないと思います。

・本基板側の設定で切り替える場合

JP5をオープンとして本基板側で44.1kHz系と48kHz系のクロックの切り替えを行う場合は、JP6の設定で切り替えを行います。

JP6には、他の電子機器からの信号を入力することも出来ますし、またトグルスイッチを接続して手動で切り替えることも出来ます。短絡ソケットを使用することや、オープンのままで使用することも出来ます。もちろん、通電中にJP6の設定の変更を行えます。

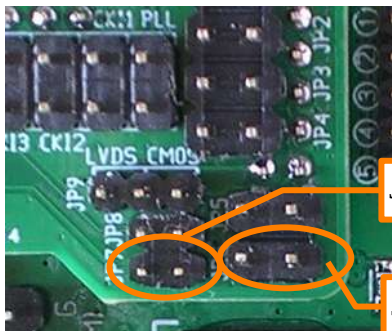


他の電子機器からの信号を使用する場合は、左図の青丸が信号入力端子で、緑丸がグランドになります。信号のレベルは3.3VのLVCMOSです。

JP6：ショートは青丸のピンを0Vに設定します。

JP6：オープンは青丸のピンを3.3Vに設定します。

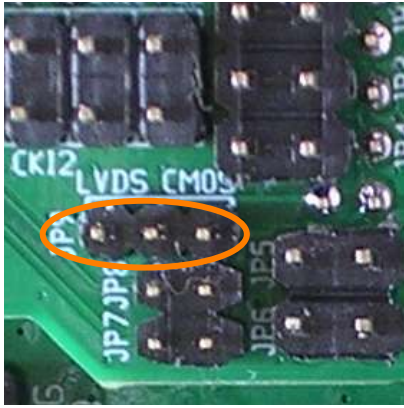
注) 青丸のピンはプルアップされています。



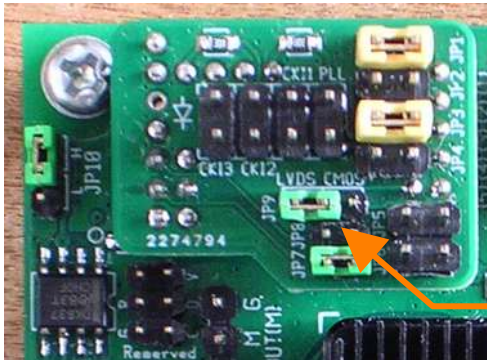
JP6のオープン/ショートで、44.1kHz系統と48kHz系統のどちらのクロックを出力するかはJP7で設定できます。JP6とJP7の設定の関係は以下の表のようになります。

JP6 \ JP7	ショート (青のピンが0V)	オープン (青のピンが3.3V)
ショート	48kHz系のクロックを出力	44.1kHz系のクロックを出力
オープン	44.1kHz系のクロックを出力	48kHz系のクロックを出力

f) 出力信号種別の選択



JP9を設定することで、LVCMOSとLVDSの出力を選択することができます。左図のようにJP9に短絡ソケットを付けない状態では、LVCMOSとLVDSの両方の信号が出力されます。LVDS側を短絡ソケットでショートすると、LVDSのクロック信号が出力されなくなります。また、LVCMOS側を短絡ソケットでショートすると、LVCMOSのクロック信号が出力されなくなります。シルクで表示されている信号にジャンパーを取り付けると、その信号が出力されなくなることに注意して下さい。消費電力を少なくしたり、スイッチングノイズを減少させるために、使用しない信号は出力させないほうが良いでしょう。

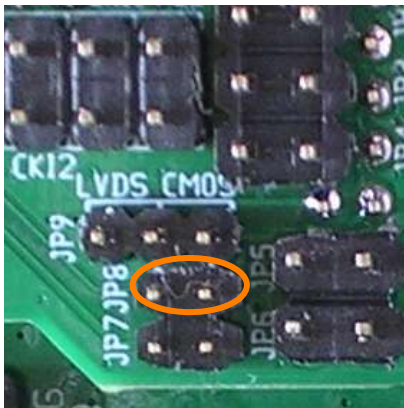


JP9の設定は、起動時に読み込みますので、通電中に変更しても反映されません。

左図ではLVDSの出力を停止し、LVCMOSのクロック信号だけを出力しています。

JP9:LVDS側を短絡 → LVDSのクロック出力無し

g) HMC7044の動作設定

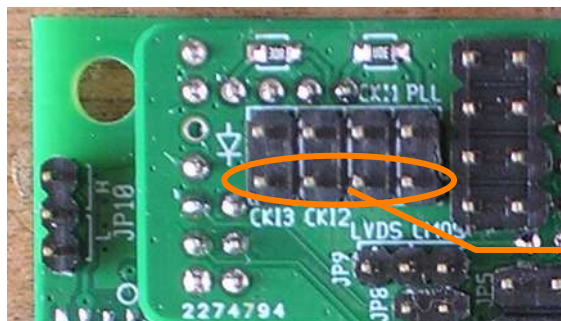
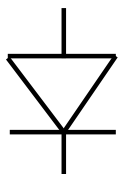
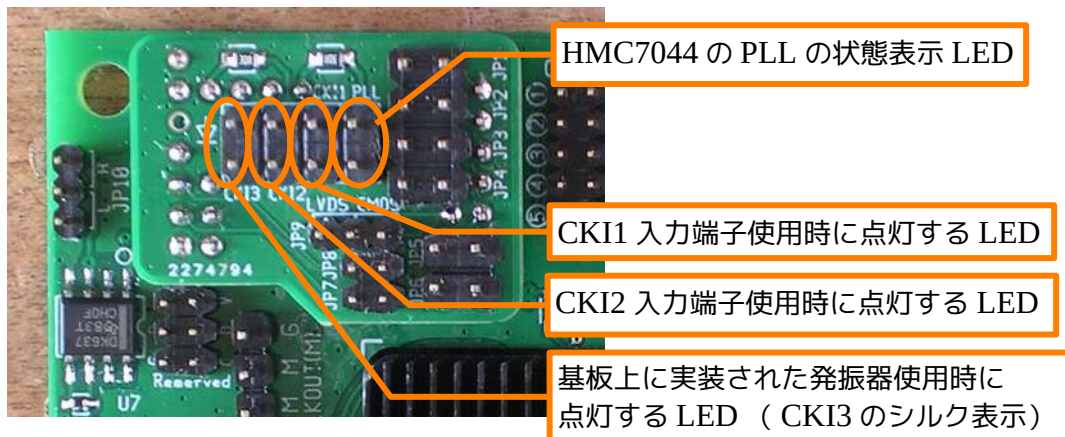


本基板のファームウェアには、V1.0よりも位相ノイズ特性を向上させるためにHMC7044の内部設定を最適化する処理が実装されています。通電開始しリファレンスのクロック信号が供給されてから、HMC7044のPLLがロックするまでに1~2分程度の時間がかかります。その間も44.1kHz系と48kHz系の出力信号の切り替えも可能なため、クロックの供給先の機器で問題が起きることは少ないと思われますが、それでもクロックの供給先の機器が正常に動作しないといった問題が起きる場合は、V1.0と同じ処理に変更して短時間でHMC7044のPLLをロックさせることができます。最適化を無効にする場合はJP8を短絡ソケットでショートしてから通電して下さい。

JP8をオープンにするとHMC7044の内部設定を最適化します。

h) 状態表示 LED の接続

本基板の HMC7044 の PLL の状態を示す LED の表示とリファレンス信号の選択状態を示す LED を、以下の図に示します。



LED の取り付けの向きはシルクで示したとおりですが、左図の丸をつけた側がグラウンドです。

グラウンド (カソード) 側

リファレンスのクロックを供給して本基板を通電すると、リファレンス信号の選択状態を示す LED が点灯します。その後、数秒程度で HMC7044 の PLL の状態を表示する LED が点滅を開始します。点滅中は HMC7044 の PLL はロックしていますが、内部設定の最適化中です。この LED が完全に点灯すると最適化が完了し、安定した位相ノイズの少ない出力クロックの供給が行われます。

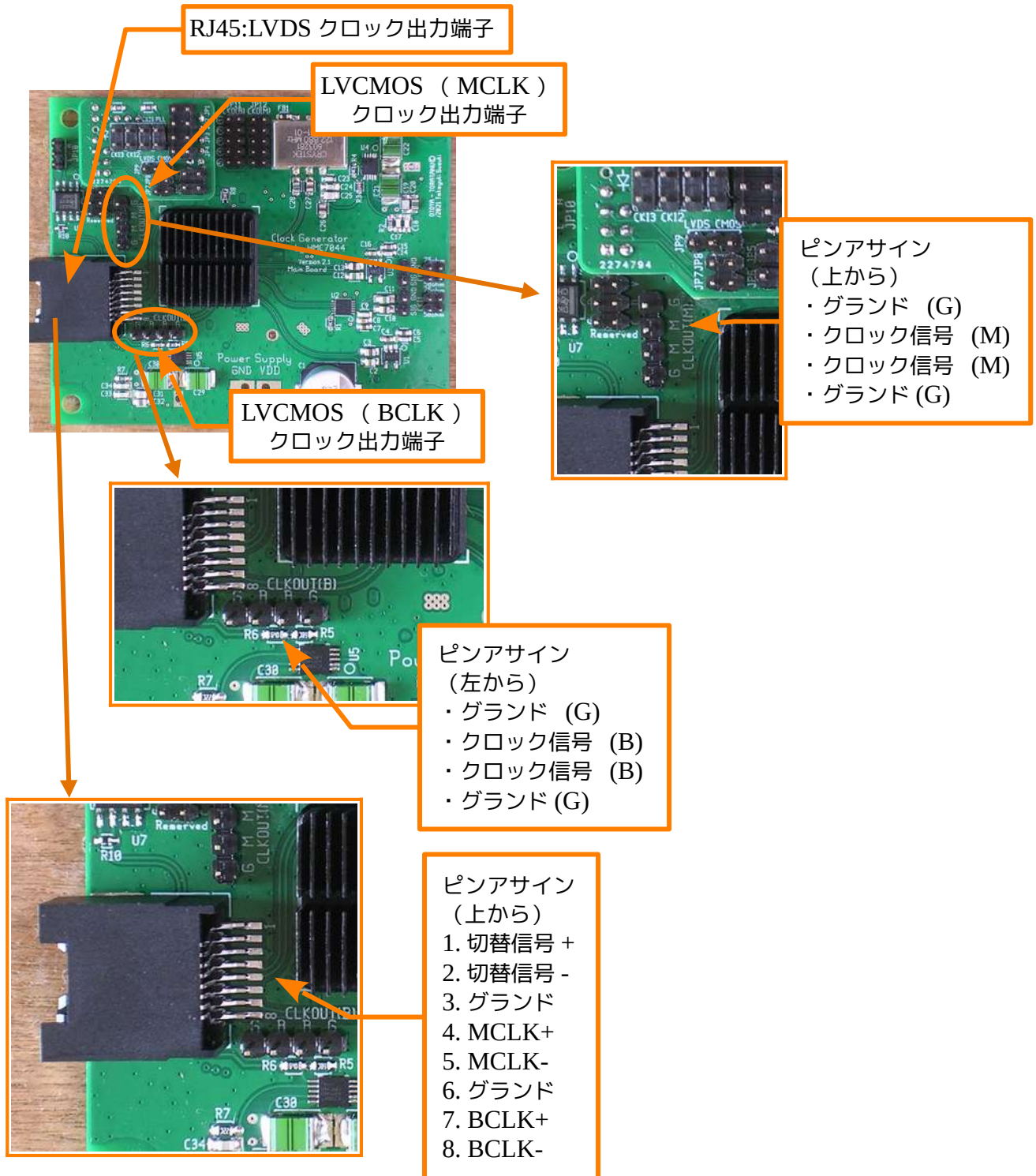
JP8 を短絡ソケットでショートしている場合は、HMC7044 の PLL の状態を表示する LED は点滅せずにすぐに点灯します。

動作中にリファレンスのクロック信号の供給が途切れた場合、その時点灯している CKI1~CKI3 のうちの 1 つの入力端子の LED が点滅します。リファレンスのクロック信号の供給が回復すると再び点灯したままになります。このように途中でリファレンスクロックが失われる場合でも、HMC7044 は出力クロックの供給を止めません。供給が途切れている間は、リファレンスクロックとの同期は取れなくなりますが、リファレンスのクロック信号が途切れる寸前の状態で出力クロックを供給し続けます。このため、供給先の機器の誤動作を抑制することができます。

i) クロック信号出力

1つの出力はLANコネクタ (RJ45) を経由するLVDSでの出力です。この信号を受信するためには専用の基板が必要です。便宜上、LANコネクタとLANケーブルを利用しているため、一般に流通しているLANの装置や、音屋とらためで販売しているLVDS&デジタルアイソレーター基板とは互換性はありません。決して接続しないで下さい。故障の原因になります。専用の基板については、本ドキュメントの最後に説明します。

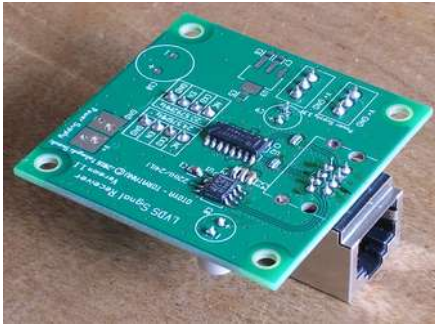
LVC MOS のクロック出力端子はBCLKとMCLKで2ヶ所あります。2.54mmピッチのピンヘッドが実装されています。



j) LVDS 信号送受信基板 (別売り)

クロック信号生成基板の LAN コネクタの入出力に対応した基板です。この基板はオプション (別売り) です。

マスタークロックとビットクロックを同時に、また排他的にも供給することが出来ます。SDtrans384 に接続するために設計した基板で、SDtrans384 に信号を供給する場合は、クロック信号生成基板の JP11 を④に、JP12 を③に設定して下さい。



入力信号：クロック信号 2 系統 (LVDS)

EN (LVC MOS)

出力信号：クロック切替制御信号 (LVDS)

クロック信号 (LVC MOS)

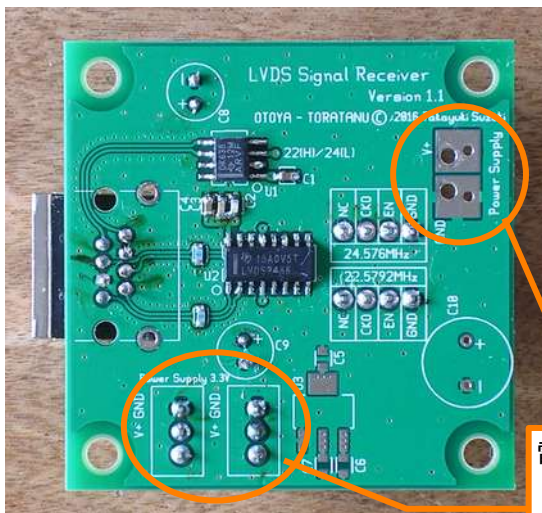
基板サイズ：50mm x 50mm 1.6t

高さ：約 17mm (3.3V レギュレータ非実装時)

約 22mm (3.3V レギュレータ実装時)

多層基板 (4 層) 銅箔厚み 35 μ m

レジスト グリーン



電源電圧は U3 を実装すると、5V~10V を与えることが出来ます。使用している IC の電源電圧は 3.3V ですので、それを直接与えることも出来ます。

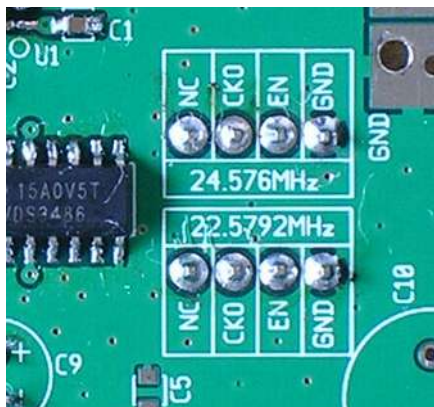
U3 には LD1117S33TR を想定しています。希望される方には実装してお渡します。

電源入力端子

U3 を実装した場合、5V ~ 10V を供給します。

電源入力端子

3.3V を直接供給する場合に使用します。この場合は、U3 は実装しないほうが良いでしょう。

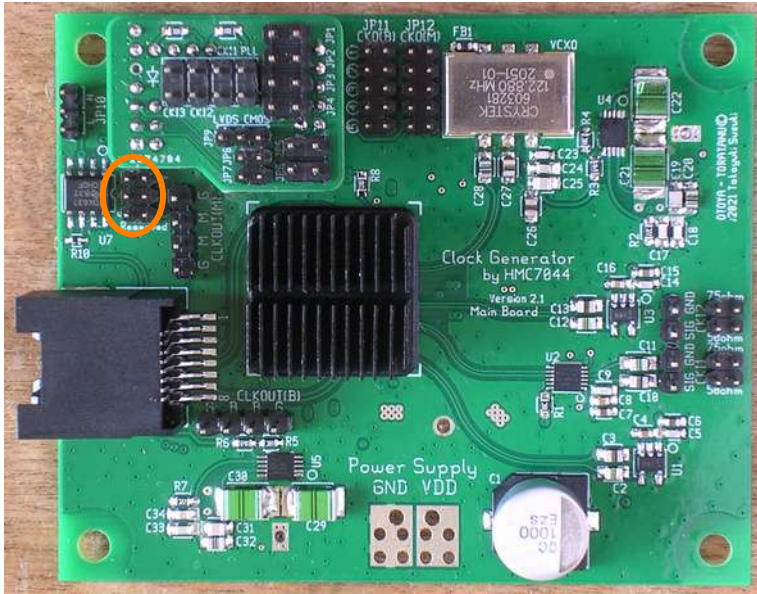


EN は LVC MOS の入力端子で、15k Ω の抵抗でプルダウンされています。22.5792MHz 側の EN 入力の値が、クロック信号発生基板に送られます。EN に論理レベル L を入力すると、CKO はハイインピーダンスになります。

CKO はクロック信号の出力端子で、信号レベルは LVC MOS です。SDTrans384 基板との連携を考慮してクロック信号の周波数 (22.5792 / 24.576 MHz) をシルク印刷していますが、実際にはクロック信号発生基板の出力する信号の周波数となります。



【使用上の注意事項】



左図の丸をつけた2ミリピッチ、2×3のピンヘッダはマイクロコントローラーのプログラムインターフェースです。

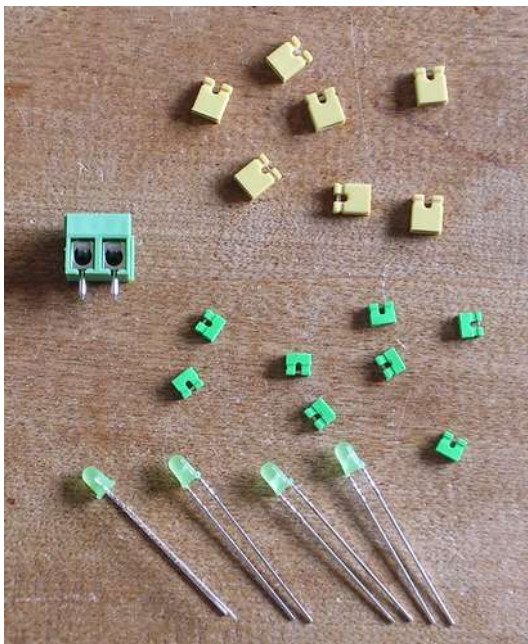
短絡ソケットを取り付けたり、配線したりしないで下さい。

【標準付属品】

本基板の標準付属品です。短絡ソケットは基板についている場合があります。

- ・ 端子台 2 P 1個
- ・ 短絡ソケット 2.54ミリピッチ 7個
- ・ 短絡ソケット 2.0ミリピッチ 8個
- ・ LED (3φ・砲弾型) 4個

LEDは緑の他に赤や青などの在庫もありますので、ご要望があればご希望の色に対応します。



【カスタマイズ】

無料でカスタマイズに対応いたします。

カスタマイズ可能な内容は、リファレンスクロック信号の周波数と出力クロック信号の周波数です。HMC7044とVCXO（発振周波数122.88MHz）の組み合わせで実現できる周波数に限ります。対応可能かどうかは音屋とらためで調べますので、ご希望の方はお問い合わせ下さい。用途はオーディオ向けに限ります。

また、各種ジャンパーの意味合いの変更についても対応できる場合がありますので、どうぞお気軽にお問い合わせ下さい。

【製品保証】

部品の実装に関しましては手作業で行っておりますので、全製品に対して、完成後に機能試験をして正常動作を確認してから発送しております。

このような製造体制でありますので、保証期間は商品到着後、2週間とさせていただきます。到着後、お早めに機能のご確認をお願いします。正しい使い方をされても正常に動作しない場合は、修理が可能であれば修理で、修理が不可能であればご返金で対応させていただきます。

ハンダ付けなど、お見苦しいところがあると思います。また、機能確認時にクリップなどでパッドを挟んでおりますので、多少の傷がありますが、どうぞご容赦願います。

正常動作を確認するまでは、こちらから発送に使用しました箱と緩衝材をとっておいて下さい。

* 動作不良の場合の取り扱いについて

申し訳ありませんが、まず購入者様のご負担で返送していただき、こちらで基板が不良品であることを確認した後で、修理可能であれば修理とテストが完了後に送らせていただきます。ご負担いただいた返送料を購入者様の口座に振り込ませていただきます。

修理不可能と判断した場合は、ご負担いただいた返送料・商品代金・送料を購入者様の口座に振り込ませていただきます。

こちらでは正常に動作する場合は、ご返金はできかねますので、ご了承下さい。また、着払いでご返送いただいても、受け取れませんのでよろしくお願いします。

【最後に】

このClock Generator by HMC7044 V2.1基板が、お客様のDACの最高のパフォーマンスを引き出し、今まで以上に豊かな音楽ライフを楽しんで頂けることを願っています。

本文書とClock Generator by HMC7044 V2.1基板の著作権は「音屋とらため」にあります。利用の範囲は個人で楽しむ電子工作とさせていただきます。

営利目的でのご利用はお控え下さい。

改定履歴

日付	版	内容
2021/9/8	2.1.0	初版作成