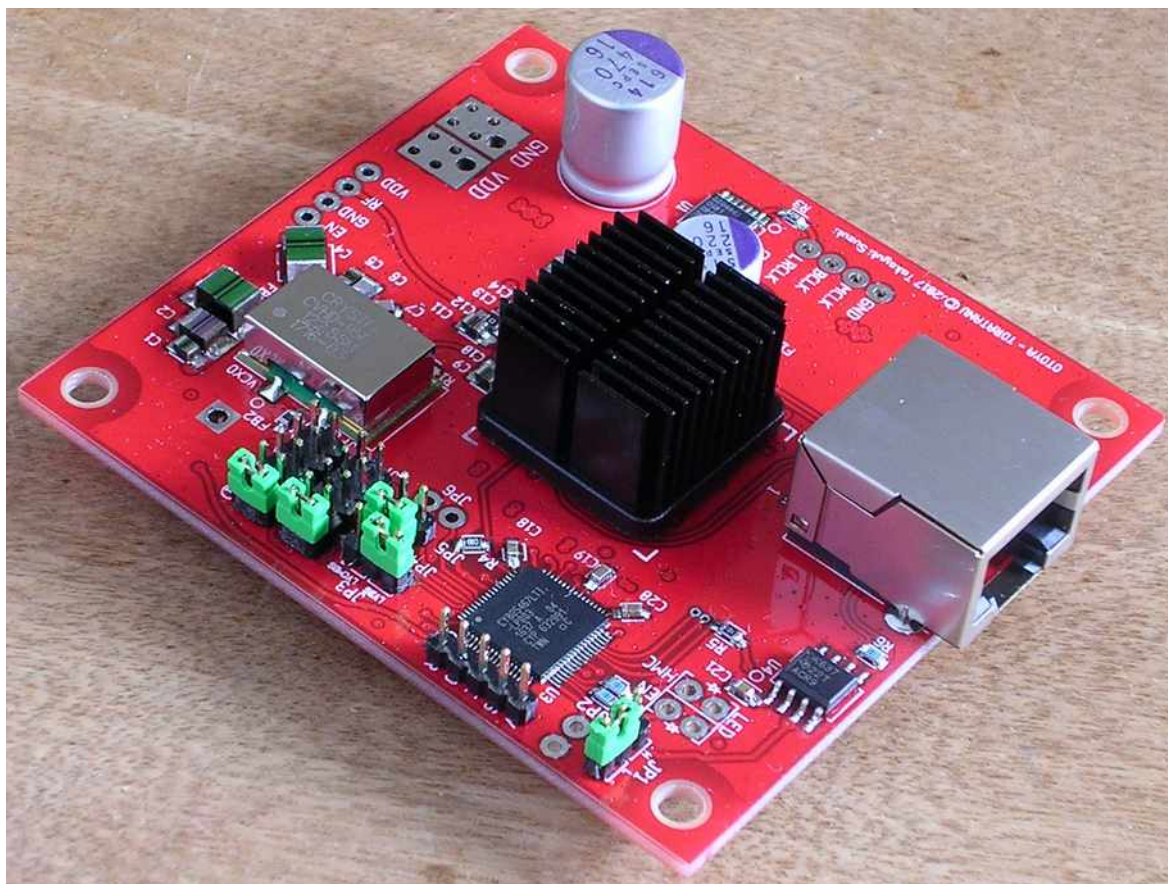


# CLOCK GENERATOR BY HMC7044



本基板の使用により、どのような環境においても、必ず音質の向上が得られるという保証はございません。その点をご理解の上でご利用下さい。

本文書には、初歩的な事も含めて、基板の使い方と仕様について記述しております。電子工作のベテランの方も、安全にそして性能を十分に引き出していただくために、ご一読をお願いします。

ご使用中に、発煙・発火・異音などの異変がありましたら、直ちに電源をお切りいただきますようお願いいたします。

また、感電や火傷など電子工作で発生しがちな怪我をしたり、火災などを起こさないよう、十分に安全に配慮をした上で作業をお願いします。

©2017. 音屋 とらため. All rights reserved.

**【概略】**

世界最高のジッタークリーナー性能を誇る、Analog Devices 社の HMC7044 を使用したクロック信号発生基板です。

HMC7044 はジッター性能 44fs という、Texas Instruments 社の LMK シリーズの性能を超える、極めて高性能なジッタークリーナー・クロックシンセサイザ IC です。

I2S などのデジタルオーディオ信号で使用されるマスタークロック、ビットクロック、LRCLK の周波数に対応した基板です。HMC7044 のリファレンスとなる入力信号の周波数は 10MHz です。水晶発信器※<sub>1</sub>や、ルビジウムによるクロック信号発生器※<sub>1</sub>に対応可能です。

出力信号は、LVCMOS と LVDS の 2 系統があり、LVDS では LAN ケーブルを使用して信号を伝送する仕様です。

HMC7044 と 122.88MHz の超低位相ノイズの VCXO (Crystek CVHD-950) を組み合わせて使用しています。出力信号は、LVCMOS ではマスタークロックとビットクロック、そして LRCLK を出力します。LVDS ではマスタークロックとビットクロックを、LAN コネクタ (RJ45) を介して出力します。但し、44.1kHz 系統と 48kHz 系統のクロックを同時に供給することは出来ません。44.1kHz 系統と 48kHz 系統の切り替え信号を LVDS で受け取り、自動的に切り替えを行うことが可能です。

ビットクロックの周波数は、44.1kHz 系統が 2.8224MHz から 45.1584MHz までの 5 種、48kHz 系統は 3.072MHz から 49.152MHz までの 5 種を切り替えて出力することが出来ます。

マスタークロックの周波数は、44.1kHz 系統が 5.6448MHz から 90.3168MHz までの 5 種、48kHz 系統は 6.144MHz から 98.304MHz までの 5 種を切り替えて出力することが出来ます。

使用している部品は、Digital Audio Signal Conditioner 基板と同様に高品位のものを採用しています。バイパスコンデンサには PMLCAP や ECPU、ECHU といった高性能フィルムコンデンサを、HMC7044 が必要とする 2 つの PLL のループフィルタには誘電吸収特性に優れた C0G 特性のセラミックコンデンサを使用しています。

**※ 1 : 出力信号が矩形波で、信号レベル LVCMOS (0V-3.3V) のものに限りです。**

## 【仕様】

HMC7044 の高い性能を引き出すために、基板を 4 層としました。基板の裏表のパターンだけでなく、内側にグランドプレーンと電源配線の 2 つの層を持ちます。これによって、さらなる低ジッターのクロック生成と高周波ノイズの抑制を目指しています。

入力信号端子 LVCMOS : (信号波形は矩形波のみに対応します)  
 1 系統 (EN、GND、RF (クロック信号)、5V の電力供給可)  
 LVDS : LAN コネクタ (RJ45)  
 44.1kHz 系のクロック信号と、48kHz 系のクロック信号の  
 自動切替え用の信号

入力信号周波数 10MHz

出力信号端子 LVCMOS :  
 LRCLK 1 系統・BCLK 1 系統・MCLK 1 系統  
 LVDS : LAN コネクタ (RJ45)  
 BCLK 1 系統・MCLK 1 系統

出力信号周波数

LRCLK : BCLK の 1/64 の周波数

BCLK (単位 : MHz)

JP7	①	②	③	④	⑤
44.1kHz 系	2.8224	5.6448	11.2896	22.5792	45.1584
48kHz 系	3.072	6.144	12.288	24.576	49.152

MCLK (単位 : MHz)

JP8	①	②	③	④	⑤
44.1kHz 系	5.6448	11.2896	22.5792	45.1584	90.3168
48kHz 系	6.144	12.288	24.576	49.152	98.304

電源電圧 : 5V

基板サイズ 62.5 mm x 72.8 mm 1.6 t

部品実装後の高さ 約 17 mm

多層基板 (4 層) 銅箔厚み 35  $\mu$ m

レジスト レッド

【回路図】

Clock Generator by HMC7044 の主要部の回路図を図 1 に、電源部の回路図を図 2 に示します。

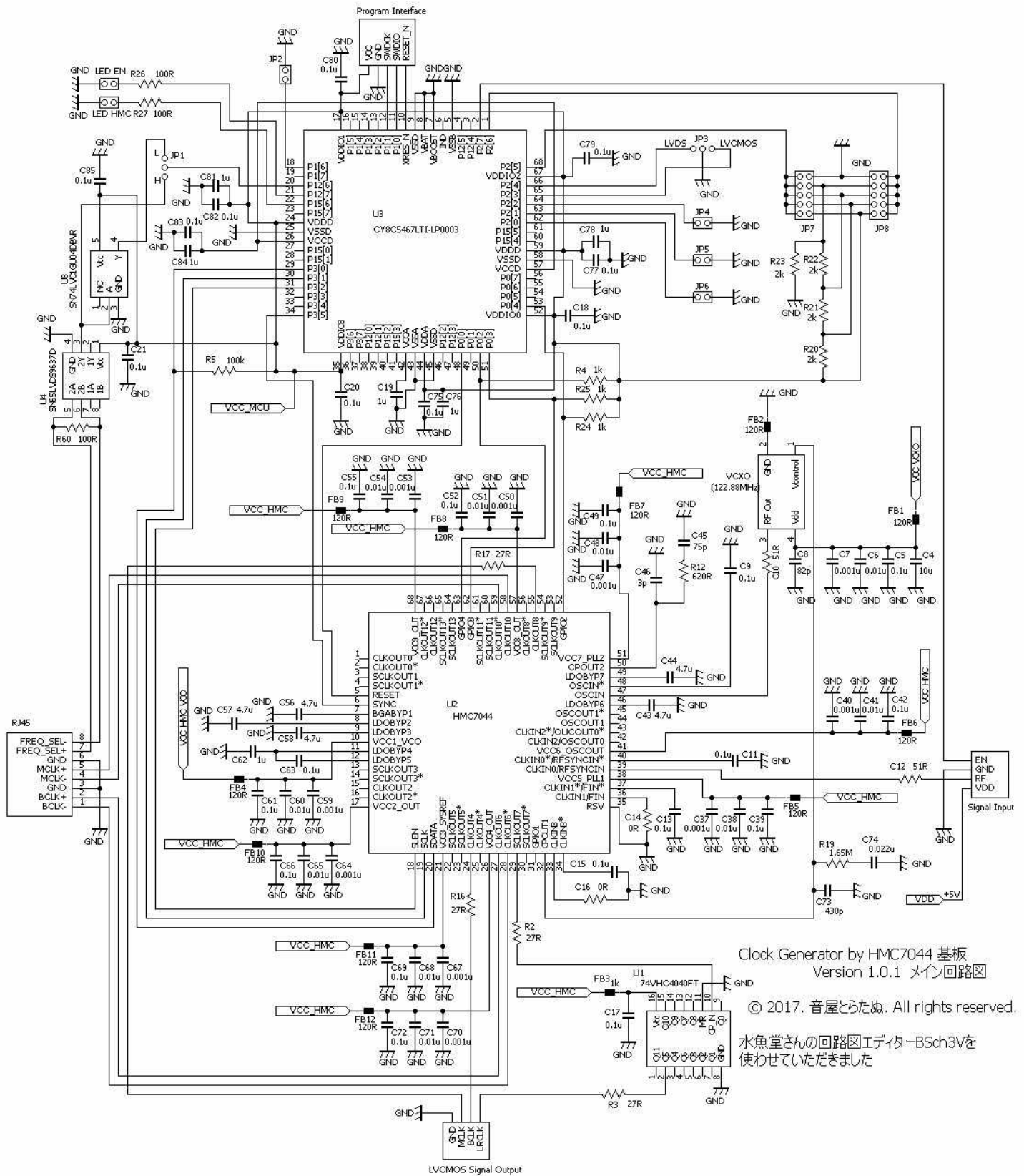
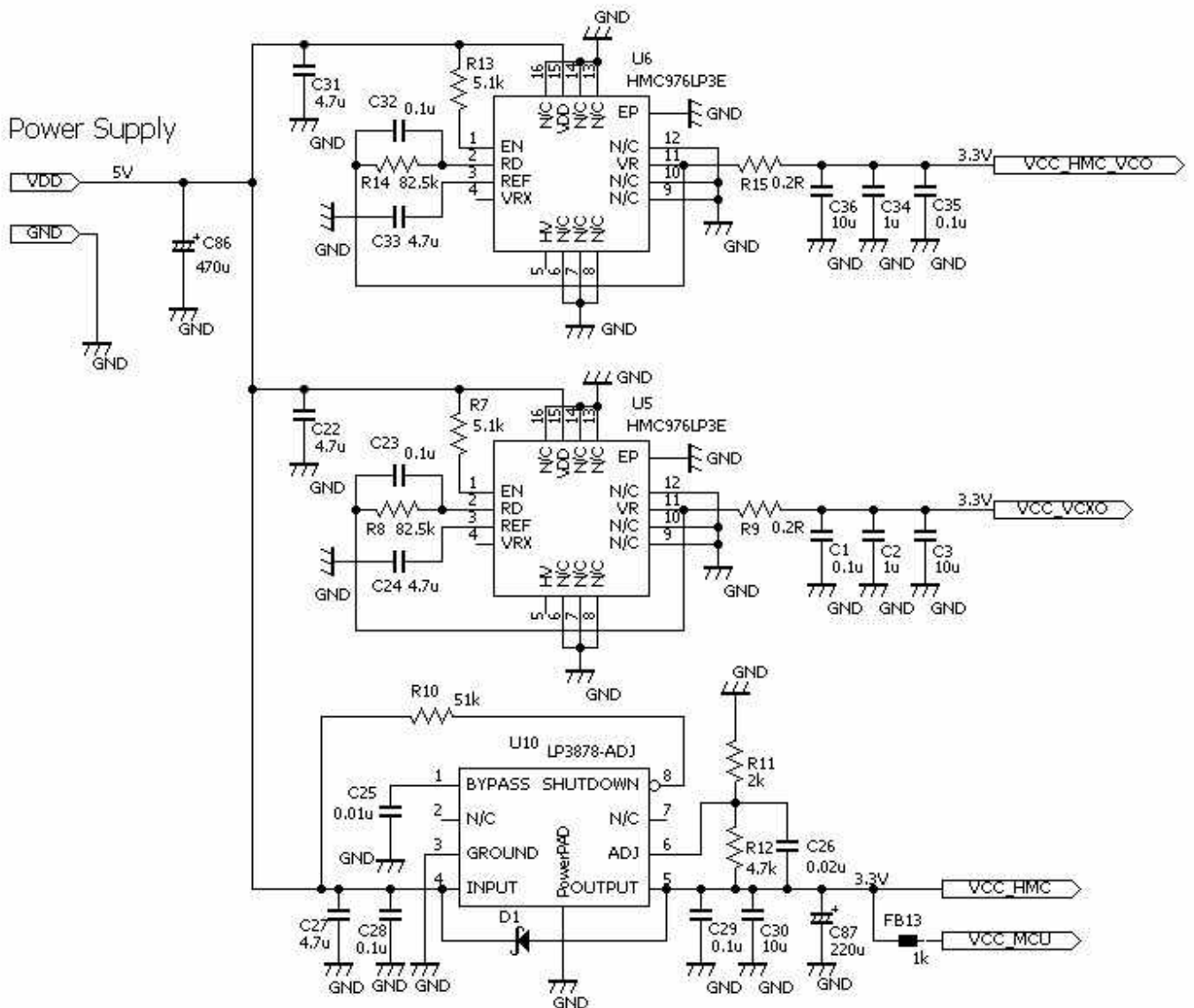


図 1 Clock Generator by HMC704 主要部回路図

注) C10・C12・C14・C16 は、基板上の表示はコンデンサの記号ですが、実装されているのは抵抗（ジャンパー抵抗を含む）です。また、基板上の R1 は未実装です。





Clock Generator by HMC7044 基板  
Version 1.0 電源部回路図

© 2017, 音屋とらたぬ. All rights reserved.

水魚堂さんの回路図エディタ-BSch3Vを使わせていただきました

図2 Clock Generator by HMC7044 電源部回路図

## 【使用部品】

Clock Generator by HMC7044 の使用部品を表 1 に示します。

表 1 Clock Generator by HMC7044 使用部品一覧

部品	基板上の表示	摘要	個数
<b>IC</b>			
74VHC4040FT	U1	12-Stage Binary Counter (TSSOP)	1
HMC7044	U2	44fs Jitter Cleaner & Clock Synthesizer	1
CY8C5467LTI-LP003	U3	SPoC Cypress	1
SN65LVDS9637D	U4	LVDS Receiver	1
HMC976LP3E	U5, U6	800mA Linear Regulator	2
LP3878MRX-ADJ/NOPB	U7	800mA Linear Regulator	1
SN74LVC1GU04DBVR	U8	Inverter 1回路入り (SOT-23-5)	1
<b>ダイオード</b>			
CRS04	D1	SBD	1
<b>セラミックコンデンサ</b>			
3pF	C46	C0G 1608 PLL2	1
75pF	C45	C0G 2012 PLL2	1
82pF / 50V	C8	C0G 1608	1
430pF	C73	C0G 1608 PLL1	1
1000pF /	C37, C40, C47, C50, C53, C59, C64, C67, C70,	C0G 1608	9
0.01uF / 50V	C38, C41, C48, C51, C54, C60, C65, C68, C71,	X7R 1608	9
0.02uF / 50V	C26	C0G 2012	1
0.022uF	C74	C0G 2012 PLL1	1
0.1uF / 50V	C13, C15, C17, C18, C20, C21, C23, C28, C29, C32, C38, C41, C48, C51, C54, C60, C63, C65, C68, C71, C75, C78, C79, C80, C82, C83, C85	X7R 1608	27
1.0uF /	C19, C39, C42, C49, C52, C55, C61, C62, C66, C69, C72, C76, C77, C81, C84	X7R 1608	15
4.7uF / 6.3V	C24, C33, C43, C44, C56, C57, C58	X7R 1608	7
4.7uF / 16V	C22, C27, C31	X7R 2012	1
10uF / 10V	C30	X7R 2012	1
<b>フィルムコンデンサ</b>			
100pF / 50V	C7	ECHU1H101JX	1
2200pF / 50V	C6	ECHU1H222GX	1
0.01uF / 16V	C25	ECHU1C103JX	1
0.1uF / 16V	C1, C5, C9, C10, C11, C12, C35	ECPU1C104MA	6
1uF / 16V	C2, C34	ECPU1C105MA	1
10uF / 16V	C3, C4, C36	PMLCAP	2
<b>電解コンデンサ</b>			
220uF / 16V	C87		1
470uF / 16B	C86		1
<b>フェライトビーズ</b>			
120Ω	FB1, FB2, FB4, FB5, FB6, FB7, FB8, FB9, FB10, FB11, FB12,	1608, BLM18AG121SN1D	11
1000Ω	FB3, FB13	1608, BLM18HE102SN1D	2
<b>抵抗</b>			
0Ω	C10, C16		2
0.2Ω	R9, R15	1% 1608	2
27Ω	R2, R3, R16, R17,	1% 1608	4
51Ω	C10, C12	1% 1608	1
100Ω	R6	1% 1608	1
200Ω	R26, R27	1% 1608	2
1kΩ	R4, R5, R24, R25	1% 1608	4
2kΩ	R11, R20, R21, R22, R23	1% 1608	1
4.7kΩ	R12	1% 1608	1
5.1kΩ	R7, R13	1% 1608	2
21kΩ	R18	1% 1608 PLL2	1
51kΩ	R10	1% 1608	1
82.5kΩ	R8, R14	1% 1608	2
1.65MΩ	R19	1% 1608 PLL1	1
<b>発振器</b>			
122.88MHz	VCXO	CVHD-950	1
<b>放熱器</b>			
APF19-19-13CB			1
<b>コネクタ</b>			
RJ-45ジャック		RJLSE4238101T	1

【使用方法】

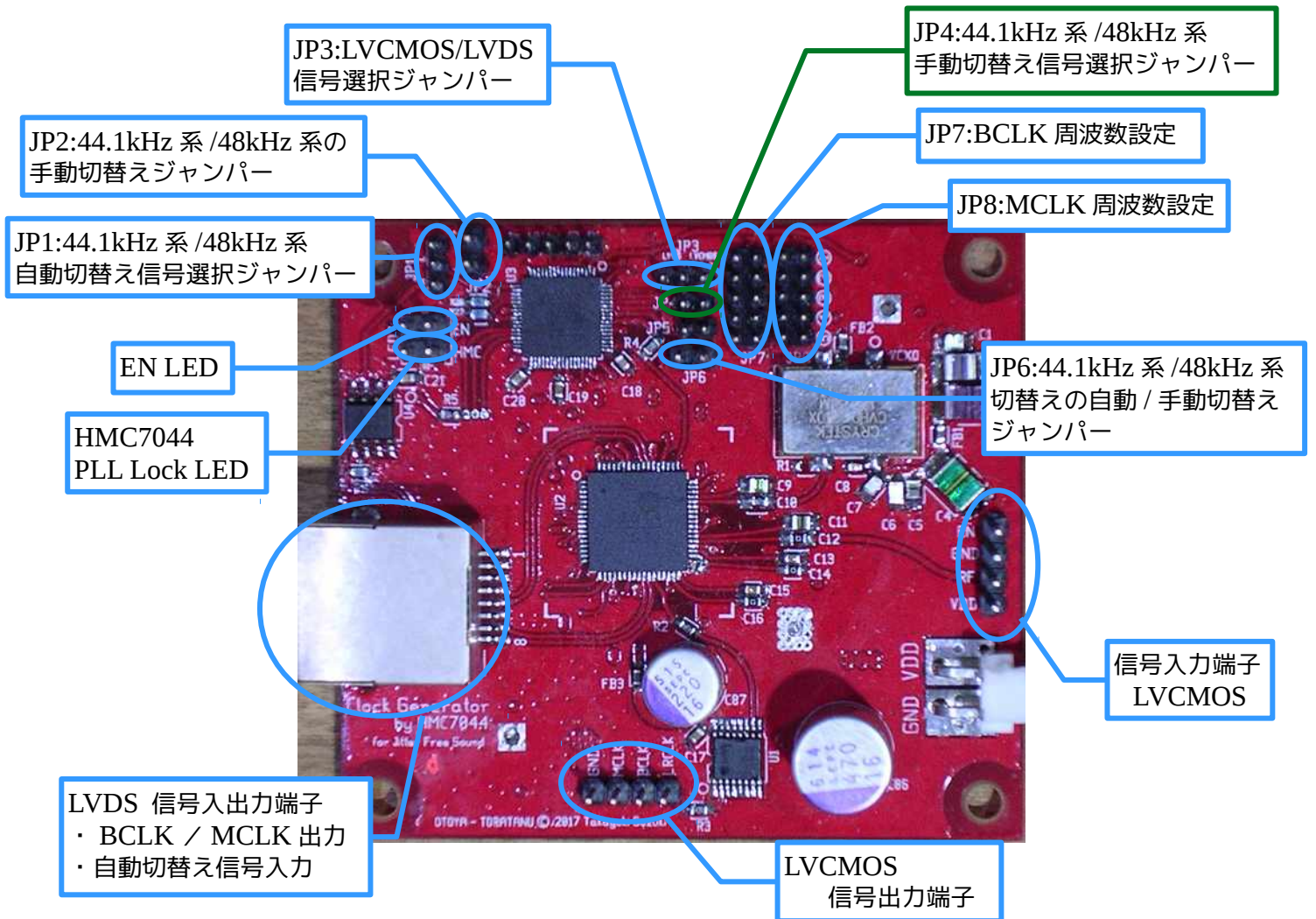
電力は下図の電源入力用の端子から供給します。入力電圧が5Vになるようにしてください。電流量は、700mAを安定供給できるようにしてください。



電源入力端子

電源の入力端子は2.54ピッチで1.0mmの穴と、3.96mmピッチで1.6mmの穴が開いています。圧着端子を利用したコネクタなどが利用できます。

クロック信号生成基板の入出力端子や、設定ジャンパーを下図に示します。



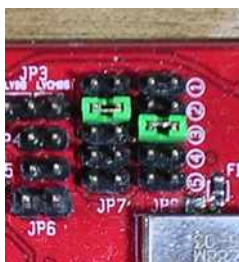
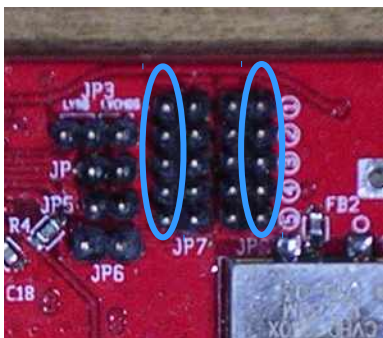
なおJP5は未使用で、ショート/オープンによる基板動作の変化はありません。

JP1	JP2	JP3	JP4	JP6	JP7	JP8	LED
2mmピッチ 1列3本	2.54mm ピッチ 1列2本	2mmピッチ 1列3本	2mmピッチ 1列1本	2.54mm ピッチ 1列2本	2mmピッチ 2列10本	2mmピッチ 2列10本	2.54mm ピッチ 2列2本

a) BCLK・MCLK 周波数設定 (JP7・JP8)

本基板の BCLK の出力周波数を設定するのは JP7 です。MCLK の出力周波数を設定するのは JP8 です。①～⑤までのいずれかを短絡ソケットでショートすると、以下の表に示す周波数の BCLK および MCLK が出力されます。通電中に、変更することが出来ます。ロータリースイッチを使用するとスムーズに設定の変更が可能です。

その際は、図の青丸のピンがマイクロコントローラーに接続されていますので、配線の時にご注意下さい。



BCLK (単位: MHz)

JP7	①	②	③	④	⑤
44.1kHz 系	2.8224	11.2896	5.6448	22.5792	45.1584
48kHz 系	3.072	12.288	6.144	24.576	49.152

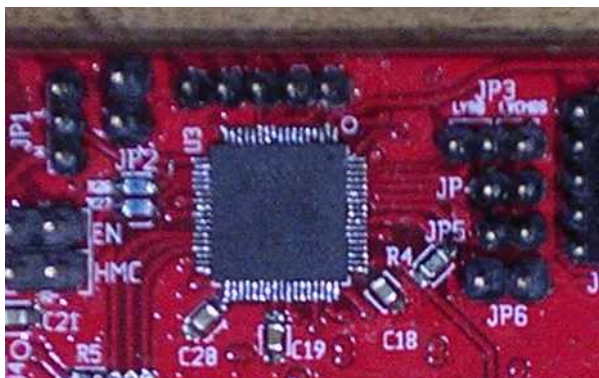
MCLK (単位: MHz)

JP8	①	②	③	④	⑤
44.1kHz 系	5.6448	11.2896	22.5792	45.1584	90.3168
48kHz 系	6.144	12.288	24.576	49.152	98.304

左図では、BCLK は 5.6448 / 6.144MHz に設定しています。MCLK は 22.5792 / 24.576MHz に設定しています。

b) 44.1kHz 系 / 48kHz 系の切替え

44.1kHz 系 / 48kHz 系の切替えは本基板側で行う場合と、LVDS からの信号で切替えを行うことが出来るように設計しました。



本基板側で行う場合の設定は JP6 をオープンにしてください。その場合は、JP2 の設定で切り替えが行われます。LVDS からの信号で切り替えを行う場合は、JP6 をショートして下さい。JP6 は通電中に設定の変更を行えます。

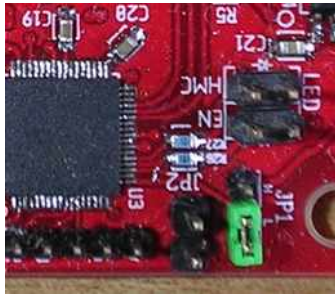
JP6	設定内容
ショート	LVDS からの信号で切替え
オープン	本基板の JP2 で切替え

・ LVDS からの信号で切り替える場合

LVDS からの信号は JP1 を経由してマイクロコントローラーに入力されます。JP1 の H 側か L 側を、ジャンパーでショートして下さい。H 側と L 側のどちらをショートするかで、44.1kHz 系 / 48kHz 系の切り替わる論理レベルが変更できます。

JP1	動作
H 側をショート	LVDS 受信機側で、論理レベル H にすると 48kHz 系のクロックを出力し、論理レベル L にすると 44.1kHz 系のクロックを出力する
L 側をショート	LVDS 受信機側で、論理レベル L にすると 48kHz 系のクロックを出力し、論理レベル H にすると 44.1kHz 系のクロックを出力する





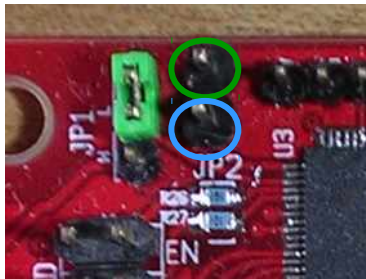
左図ではL側をショートして、LVDS 受信機側で論理レベルLで48kHz系、論理レベルHで44.1kHz系のクロックを出力する設定です。

JP1の設定は、通電中に変更することが出来ますが、通常の使用方法では、その必要がないと思います。

・本基板側の設定で切り替える場合

JP6をオープンとして本基板側で44.1kHz系と48kHz系のクロックの切り替えを行う場合は、JP2の設定で切り替えを行います。

JP2には、他の電子機器からの信号を入力することも出来ますし、またトグルスイッチを接続して手動で切り替えることも出来ます。短絡ソケットを使用することや、オープンのままでも使用することも出来ます。もちろん、通電中にJP2の設定の変更を行えます。

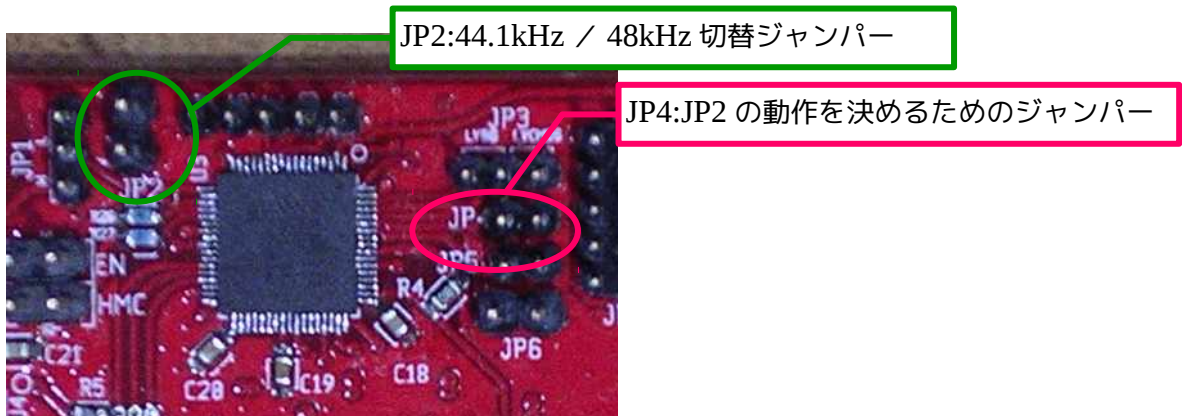


他の電子機器からの信号を使用する場合は、左図の青丸が信号入力端子で、緑丸がグランドになります。信号のレベルは3.3VのLVCMOSです。

JP2：ショートは青丸のピンを0Vに設定します。

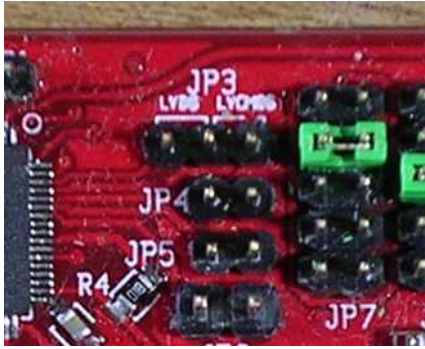
JP2：オープンでは青丸のピンを3.3Vに設定します。

注) 青丸のピンはプルアップされています。



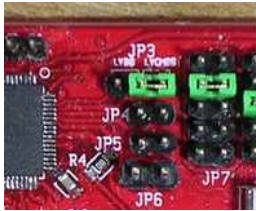
JP2 \ JP4	ショート	オープン
ショート	48kHz系のクロックを出力	44.1kHz系のクロックを出力
オープン	44.1kHz系のクロックを出力	48kHz系のクロックを出力

## c) 出力信号種別の選択



JP3を設定することで、LVC MOSとLVDSの出力を選択することができます。左図のようにJP3に短絡ソケットを付けない状態では、LVC MOSとLVDSの両方の信号が出力されます。LVDS側を短絡ソケットでショートすると、LVDSのクロック信号が出力されなくなります。また、LVC MOS側を短絡ソケットでショートすると、LVC MOSのクロック信号が出力されなくなります。

消費電力を少なくしたり、スイッチングノイズを減少させるために、使用しない信号は出力させないほうが良いでしょう。

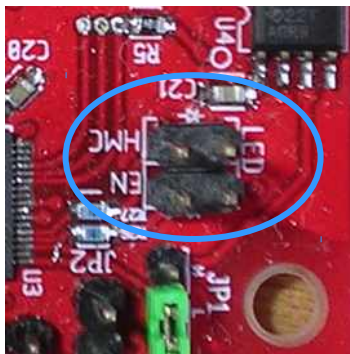


JP3の設定は、起動時に読み込みますので、通電中に変更しても反映されません。

左図ではLVC MOSの出力を停止し、LVDSのクロック信号だけを出しています。

## d) PLLのロックを示すLEDの接続

EN入力の状態と、本基板のHMC7044のPLLのロックを示すLEDの表示は、以下の図の青丸に接続します。



ENは入力端子ENが論理レベルHになると点灯します。EN入力はプルアップされているので、RF入力常時正常に入力される場合は、オープンにしておいて下さい。HMCが本基板のHMC7044が持つ2つのPLLのロックを示します。

どちらも基板外側（左図の右側）がグランドで、内側（左図の左側）が信号出力になります。

## C) クロック信号出力

1つの出力はLANコネクタ (RJ45) を経由するLVDSでの出力です。この信号を受信するためには専用の基板が必要です。便宜上、LANコネクタとLANケーブルを利用しているため、一般に流通しているLANの装置や、音屋とらためで販売しているLVDS&デジタルアイソレーター基板とは互換性はありません。決して接続しないで下さい。故障の原因になります。専用の基板については、本ドキュメントの最後に説明します。



もう1つの出力がLVCMOSのクロック出力端子です。

2.54mmピッチのピンヘッダが付属します。(左図ではピンヘッダを実装していますが、実装せずに付属します)

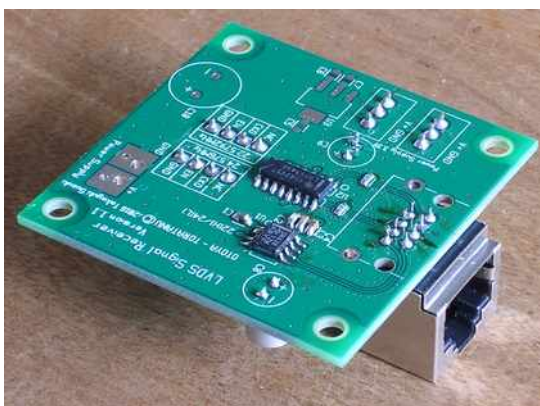
RJ45:LVDS クロック出力端子

LVCMOS クロック出力端子

## 4) LVDS 信号送受信基板 (別売り)

クロック信号生成基板のLANコネクタの入出力に対応した基板です。この基板はオプション (別売り) です。

マスタークロックとビットクロックを同時に、また排他的にも供給することができます。SDtrans384に接続するために設計した基板で、SDtrans384に信号を供給する場合は、クロック信号生成基板のJP7を④に、JP8を③に設定して下さい。



入力信号：クロック信号2系統 (LVDS)  
EN (LVCMOS)

出力信号：クロック切替え制御信号 (LVDS)  
クロック信号 (LVCMOS)

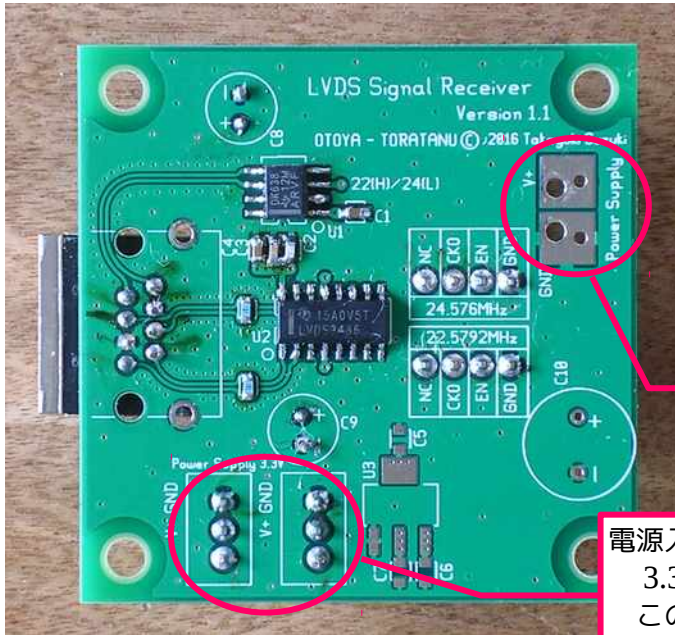
基板サイズ：50mm x 50mm 1.6t

高さ：約17mm (3.3Vレギュレータ非実装時)  
約22mm (3.3Vレギュレータ実装時)

多層基板 (4層) 銅箔厚み 35µm

レジスト グリーン



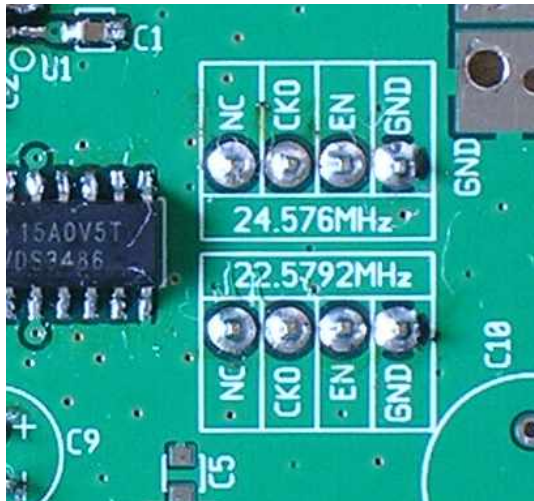


電源電圧はU3を実装すると、5V~10Vを与えることができます。使用しているICの電源電圧は3.3Vですので、それを直接与えることもできます。

U3にはLD1117S33TRを想定しています。希望される方には実装してお渡します。

**電源入力端子**  
U3を実装した場合、5V~10Vを供給します。

**電源入力端子**  
3.3Vを直接供給する場合に使用します。この場合は、U3は実装しないほうが良いでしょう。



ENはLVCMOSの入力端子で、15kΩの抵抗でプルダウンされています。22.5792MHz側のEN入力の値が、クロック信号発生基板に送られます。ENに論理レベルLを入力すると、CKOはハイインピーダンスになります。

CKOはクロック信号の出力端子で、信号レベルはLVCMOSです。

SDTrans384基板との連携を考慮してクロック信号の周波数(22.5792 / 24.576 MHz)をシルク印刷していますが、実際にはクロック信号発生基板の出力する信号の周波数となります。





## 【カスタマイズ】

無料でカスタマイズに対応いたします。

カスタマイズ可能な内容は、入力クロック信号の周波数と出力クロック信号の周波数です。もちろん HMC7044 と、流通している VCXO の組み合わせで実現できる周波数に限ります。対応可能かどうかは音屋とらためで調べますので、ご希望の方はお問い合わせ下さい。用途はオーディオ向けに限ります。

また、各種ジャンパーの意味合いの変更についても対応できる場合がありますので、どうぞお気軽にお問い合わせ下さい。

## 【製品保証】

部品の実装に関しましては手作業で行っておりますので、全製品に対して、完成後に機能試験をして正常動作を確認してから発送しております。

このような製造体制でありますので、保証期間は商品到着後、2週間とさせていただきます。到着後、お早めに機能のご確認をお願いします。正しい使い方をされても正常に動作しない場合は、修理が可能であれば修理で、修理が不可能であればご返金で対応させていただきます。

ハンダ付けなど、お見苦しいところがあると思います。また、機能確認時にクリップなどでパッドを挟んでおりますので、多少の傷がありますが、どうぞご容赦願います。

正常動作を確認するまでは、こちらから発送に使用しました箱と緩衝材をとっておいて下さい。

### \* 動作不良の場合の取り扱いについて

申し訳ありませんが、まず購入者様のご負担で返送していただき、こちらで基板が不良品であることを確認した後で、修理可能であれば修理とテストが完了後に送らせていただきます。ご負担いただいた返送料を購入者様の口座に振り込ませていただきます。

修理不可能と判断した場合は、ご負担いただいた返送料・商品代金・送料を購入者様の口座に振り込ませていただきます。

こちらでは正常に動作する場合は、ご返金はできかねますので、ご了承下さい。また、着払いでご返送いただいても、受け取れませんのでよろしくお願いします。

## 【最後に】

この Clock Generator by HMC7044 基板が、お客様の DAC の最高のパフォーマンスを引き出し、今まで以上に豊かな音楽ライフを楽しんで頂けることを願っています。

本文書と Clock Generator by HMC7044 基板の著作権は「音屋とらため」にあります。利用の範囲は個人で楽しむ電子工作とさせていただきます。営利目的でのご利用はお控え下さい。

### 改定履歴

日付	版	内容
2017/08/16	1.0	初版作成（作成年を訂正しました 2016 → 2017） 2017/09/20
2017/09/20	1.0.1	【使用方法】の冒頭に、必要な電流量を追記した
2017/09/27	1.0.2	・回路図の C19 の値を 1.0 $\mu$ F に訂正した ・基板写真（表紙）の更新した ・基板サイズの高さを放熱器を含めて 15mm から 17mm に変更した
2017/10/15	1.0.3	入力信号が矩形波・LVCMOS (3.3V) にのみ対応することを追記